

**THÈSE**

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE**

Spécialité : **Nano-Electronique et Nano-Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

**Salim IGHILAHIRIZ**

Thèse dirigée par **Philippe BENECH** et  
codirigée par **Jean-Michel FOURNIER**

préparée au sein de **L'Institut de Microélectronique  
Electromagnétisme et Photonique et le Laboratoire  
d'Hyperfréquences et de Caractérisation (IMEP-LAHC)**  
Et de l'entreprise **STMicroelectronics**  
dans **l'École Doctorale d'Electronique Electrotechnique  
Automatisme et Traitement du Signal (EEATS)**

**Caractérisation et modélisation  
de la fiabilité des transistors et  
circuits millimétriques conçus  
en technologies BiCMOS et  
CMOS**

Thèse soutenue publiquement le **31 Mars 2014**,  
devant le jury composé de :

**Jean Gaubert**

Professeur à l'Université de Marseille, Président du Jury

**Nathalie MALBERT**

Professeur à l'Université Bordeaux 1, Rapporteur

**Christophe LALLEMENT**

Professeur à l'Université de Strasbourg, Rapporteur

**Philippe BENECH**

Professeur à l'Université Joseph Fourier, Directeur de thèse

**Jean-Michel FOURNIER**

Professeur à l'Institut National Polytechnique de Grenoble, Co-directeur de thèse

**Florian CACHO**

Ingénieur à STMicroelectronics, Encadrant industriel

**Laurence MOQUILLON**

Ingénieur à STMicroelectronics, Co-encadrant industriel (invitée)











# **Sommaire**

Introduction générale.....	9
Chapitre 1 : La fiabilité des transistors bipolaires à hétérojonctions pour les applications Radio Fréquences et aux longueurs d'ondes millimétriques	13
1.1 Le transistor bipolaire dans les applications RF et mmW .....	14
1.2 Le principe de fonctionnement .....	17
1.3 L'état de l'art de la dégradation des caractéristiques du transistor bipolaire .....	22
1.3.a) La dégradation des caractéristiques statiques.....	23
1.3.b) La dégradation du bruit basse fréquence .....	26
1.3.c) La dégradation des caractéristiques dynamiques.....	28
1.4 Les expérimentations effectuées .....	29
1.4.a L'application du stress électrique et les caractéristiques statiques .....	29
1.4.b Le bruit basse fréquence .....	30
1.4.c Les caractéristiques dynamiques .....	31
1.5 Les dégradations des caractéristiques du transistor bipolaire sous stress DC et AC .....	32
1.5.a Les caractéristiques statiques .....	32

---

1.5.b Le bruit basse fréquence .....	37
1.5.c Les caractéristiques dynamiques .....	43
1.6 Conclusion .....	45

## Chapitre 2 : La fiabilité des transistors MOS pour les applications Radio

Fréquences et aux longueurs d'ondes millimétriques .....	47
2.1 Le transistor MOS dans les applications RF et mmW .....	48
2.2 Le principe de fonctionnement .....	49
2.3 L'état de l'art de la dégradation des caractéristiques du transistor MOS .....	51
2.3.a Les porteurs chauds et les défauts dans la structure MOS .....	52
2.3.b La dégradation des caractéristiques statiques .....	55
2.3.c La dégradation des caractéristiques dynamiques .....	57
2.4 Les expérimentations effectuées .....	60
2.4.a L'application du stress et les caractéristiques statiques .....	60
2.4.b Les caractéristiques dynamiques .....	62
2.5 L'évolution des caractéristiques du transistor MOS .....	64
2.5.a La dégradation des caractéristiques statiques .....	65
2.5.b La dégradation des caractéristiques dynamiques et la localisation des défauts...	68
2.6 Conclusion .....	78

## Chapitre 3 : La modélisation de la fiabilité des transistors bipolaires à

hétérojonctions .....	81
3.1 Les modèles de vieillissement et les modèles SOA issus de la littérature .....	82
3.2 La modélisation du vieillissement à travers le modèle STBJT .....	87
3.3 Le protocole expérimental .....	96
3.4 Le régime d'avalanche et l'auto-échauffement au sein des HBT .....	97
3.5 L'établissement du modèle SOA .....	102
3.6 L'implémentation du modèle SOA dans le simulateur Eldo .....	106
3.7 La modélisation du vieillissement des transistors bipolaires à hétérojonctions ...	108
3.8 Conclusion .....	110

## Chapitre 4 : L'impact de la fiabilité des transistors bipolaires sur les circuits

mmW conçus en technologie BiCMOS .....	113
4.1 Les études de circuits issues de la littérature .....	114

4.2 La description de la méthodologie de test de fiabilité des circuits .....	115
4.3 L'environnement de simulation utilisé .....	116
4.4 Les caractéristiques et spécifications des circuits testés.....	119
4.5 Etude du LNA 77 GHz .....	121
4.6 Etude du LNA 70 GHz .....	126
4.7 Etude du mélangeur 77 GHz.....	128
4.8 Etude du VCO 60 GHz.....	134
4.9 Conclusion .....	138
Conclusion générale .....	139
Annexe 1 : Le potentiel de surface et le modèle PSP .....	143
Annexe 2 : La tentative d'extraction des résistances d'accès .....	145
Annexe 3 : Les expérimentations et simulations de circuits millimétriques conçus en technologie CMOS .....	147
Annexe 4 : Le de-embedding.....	151
REFERENCES BIBLIOGRAPHIQUES .....	154



## Introduction générale

De nos jours, l'industrie de la microélectronique développe des nouvelles technologies qui permettent l'obtention d'applications du quotidien alliant rapidité, basse consommation et hautes performances. Pour cela, le transistor, composant actif élémentaire et indispensable de l'électronique, voit ses dimensions miniaturisées à un rythme effréné suivant la loi de Moore de 1965. Cette réduction de dimensions permet l'implémentation de plusieurs milliards de transistors sur des surfaces de quelques millimètres carrés augmentant ainsi la densité d'intégration. Ceci conduit à une production à des coûts de fabrication constants et offre des possibilités d'achats de produits performants à un grand nombre de consommateurs.

Le MOSFET (Metal Oxide Semiconductor Field Effect Transistor), transistor à effet de champ, aussi appelé MOS, représente le type de transistor le plus utilisé dans les différents circuits issus des industries de la microélectronique. Ce transistor possède des longueurs électriques de 14 nm pour les technologies industrialisables les plus avancées et permet une intégration maximale spécialement pour les circuits numériques tels que les microprocesseurs. Le transistor bipolaire, dédié aux applications analogiques, fut inventé avant le transistor MOS. Cependant, son développement correspond à des nœuds technologiques de génération inférieure par rapport à celle des transistors MOS. En effet, les dimensions caractéristiques des nœuds technologiques les plus avancés pour les technologies BiCMOS sont de 55 nm. Ce type de transistor permet la mise en œuvre de circuits nécessitant de très hautes fréquences d'opération, principalement dans le secteur des télécommunications, tels que les radars anticollisions automobiles fonctionnant à 77 GHz. Chacun de ces types de transistors possède ses propres avantages et inconvénients. Les avantages du transistor MOS reposent principalement en deux points qui sont sa capacité d'intégration et sa faible consommation lorsqu'il est utilisé pour réaliser des circuits logiques.

Sachant que ces deux types de transistors sont, de nos jours, comparables du point de vue miniaturisation, les avantages offerts par le transistor bipolaire diffèrent de ceux du transistor MOS. En effet, le transistor bipolaire supporte des niveaux de courants plus élevés que celui d'un transistor MOS ce qui lui confère une meilleure capacité d'amplification de puissance. De plus, le transistor bipolaire possède une meilleure tenue en tension et surtout possède des niveaux de bruit électronique beaucoup plus faibles que ceux des transistors MOS. Ces différences notables entre les deux types de transistors guideront le choix des concepteurs suivant les spécifications des clients. L'étude qui suit concerne la fiabilité de ces deux types de transistors ainsi que celle de circuits pour les applications radio fréquences (RF) et aux longueurs d'ondes millimétriques (mmW) pour lesquels ils sont destinés.

Il existe dans la littérature de nombreuses études de la fiabilité des transistors MOS. Concernant les transistors bipolaires peu d'études ont été réalisées. De plus peu d'études ont été menées sur l'impact de la fiabilité des transistors sur les circuits. L'objectif de ce travail est d'étudier le comportement de ces deux types de transistors mais aussi de les replacer dans le contexte de l'utilisateur en étudiant la fiabilité de quelques circuits parmi les plus usités dans le domaine hyperfréquence et millimétrique. Nous avons aussi essayé de montrer qu'il était possible de faire évoluer les règles de conception actuellement utilisées par les concepteurs tout en maintenant la fiabilité attendue par les clients.

Le premier chapitre présente un résumé d'une étude de fiabilité concernant le transistor bipolaire à hétérojonction (HBT) Si/SiGeC, à savoir le principe de fonctionnement, la technologie étudiée mais aussi les principales caractéristiques statiques, dynamiques et de bruit basse fréquence. Ensuite, nous présenterons les différents résultats issus de travaux antérieurs présents dans la littérature concernant le mode direct de la dégradation des HBT. Puis, nous introduirons les protocoles expérimentaux mis en place dans le but de caractériser les transistors. En dernière partie du chapitre, nous expliquerons les résultats obtenus sur les dispositifs étudiés. A noter que cette étude est réalisée sur les transistors bipolaires « high speed » (grande vitesse) issus de la technologie BiCMOS9MW de STMicroelectronics.

Le second chapitre résume une étude de la fiabilité des transistors MOS similaire à celle menée lors du premier chapitre sur le transistor bipolaire à hétérojonctions. Nous présenterons le rôle du transistor MOS dans les applications radio fréquences et millimétriques ainsi que le principe de fonctionnement simplifié. Les éléments clés de notre étude seront présentés au



cours de cette partie. Puis, nous développerons l'état de l'art de la fiabilité de ce transistor dans le domaine des radios fréquences en nous intéressant aux caractéristiques statiques et dynamiques. La procédure expérimentale sera décrite, cette dernière nous permettra d'obtenir les résultats que nous présenterons en dernière partie de ce chapitre. Cette étude est réalisée sur des transistors MOS dits « RF » de la technologie CMOS040 de STMicroelectronics.

La modélisation de la fiabilité des transistors bipolaires à hétérojonctions constituera notre troisième chapitre. Une partie de ce chapitre est dédiée à l'état de l'art concernant la modélisation de la fiabilité de ce type de transistors avant d'introduire la modélisation de la fiabilité à travers le modèle électrique STBJT, en partie développé par une équipe de l'entreprise. Ensuite, nous présenterons les expérimentations effectuées ainsi que les signatures électriques des phénomènes physiques menant à la dégradation du transistor. Ceci, dans le but de proposer la solution de type SOA pour « safe operating area » adaptative au profil de mission du client. Puis, nous démontrerons la possibilité d'industrialisation de cette solution à travers une implémentation au sein du simulateur Eldo. Enfin, nous présenterons les tests de vieillissement accélérés qui permettent de décrire l'évolution des paramètres dégradés du composant.

Notre quatrième et dernier chapitre concerne la fiabilité des applications analogiques fonctionnant dans la gamme des fréquences millimétriques. Nous aborderons ce chapitre par une étude de la littérature associée à ce sujet puis nous développons la méthodologie de tests que nous avons utilisée pour nos circuits. Une présentation de notre environnement de simulation ainsi que les circuits étudiés sera réalisée afin de montrer les résultats des mesures et des simulations de fiabilité en dernières parties. Enfin, une conclusion générale permettra de clore ce mémoire.



# **Chapitre 1 : La fiabilité des transistors bipolaires à hétérojonctions pour les applications Radio Fréquences et aux longueurs d'ondes millimétriques**

Dans le cadre d'une demande croissante d'applications analogiques à des fréquences de fonctionnement qui ne cessent d'être augmentées, les transistors bipolaires à hétérojonctions (HBT) sont grandement sollicités par les concepteurs qui réalisent des circuits soumettant les HBT à de fortes contraintes électriques. Plusieurs études de fiabilité ont pu être menées afin de connaître les modes de dégradation de ces composants, notamment, l'origine physique des mécanismes de dégradation. Cependant, l'impact de la dégradation des HBT sur les performances des circuits RF et mmW reste peu connu. Ainsi, la dégradation des caractéristiques des HBT seront étudiés au cours de ce chapitre.

Tout en gardant en vue l'aspect applicatif, ce premier chapitre est dédié à l'étude de la fiabilité du transistor bipolaire à hétérojonctions. Une introduction brève de ce type de transistor est présentée dans la première partie de ce chapitre. La seconde partie de ce chapitre est dédiée à des rappels élémentaires sur le principe de fonctionnement des HBT. Les études

expérimentales menées dans le cadre de l'étude de la fiabilité des HBT sont présentées au cours de la troisième partie. Un rappel de la physique des phénomènes de dégradation et l'exploitation des résultats expérimentaux constituent respectivement les quatrième et cinquième parties du chapitre.

### 1.1 Le transistor bipolaire dans les applications RF et mmW

Le transistor bipolaire à hétérojonctions de la technologie BiCMOS9MW de STMicroelectronics a principalement été développé pour des applications fibres optiques et télécommunications large bande. Les applications des HBT sont essentiellement des circuits analogiques tels que les amplificateurs de puissance ou les mélangeurs de fréquences. Ces circuits peuvent atteindre des fréquences de fonctionnement de 60 GHz pour le standard wHDMI (Wireless High Definition Multimedia Interface) ou 77 GHz pour le radar automobile anticollision (cf. Figure 1).

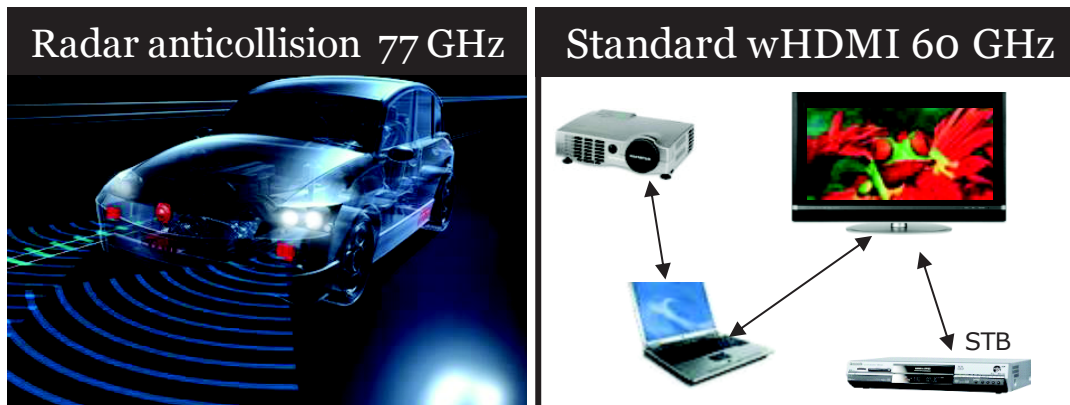


Figure 1 : Illustration des applications mmW des HBT.

Dans le but d'atteindre de meilleures performances dans les applications très hautes fréquences, les HBT peuvent être soumis à des conditions de polarisations telles que la tension collecteur-émetteur  $V_{CE}$  soit proche, voir supérieure à la tension de claquage en base ouverte  $BV_{CEO}$  (cf. Figure 2).

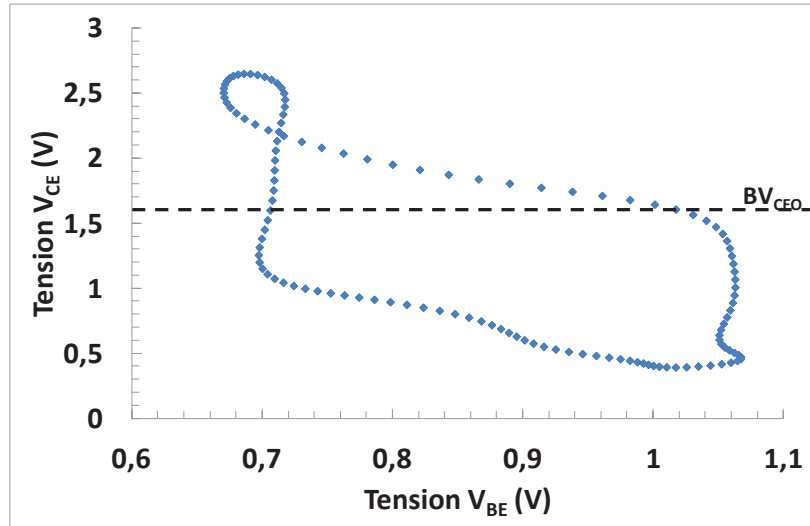


Figure 2 : Conditions typiques de fonctionnement des HBT dans des applications mmW.

Cette grandeur représente la tension à partir de laquelle le courant base du transistor devient négatif. Les polarisations au-delà de cette tension mènent à des régimes de fonctionnement non fiables. En effet, ces conditions de polarisation impliquent de forts champs électriques au sein des jonctions générant une dégradation des caractéristiques des HBT que nous présenterons dans la partie 3.4. La tension  $BV_{CEO}$  est de plus en plus faible avec la réduction des dimensions et l'avancement technologique (cf. Figure 3 et Figure 4), ainsi, cette tension peut plus facilement être atteinte lors de l'utilisation en régime dynamique.

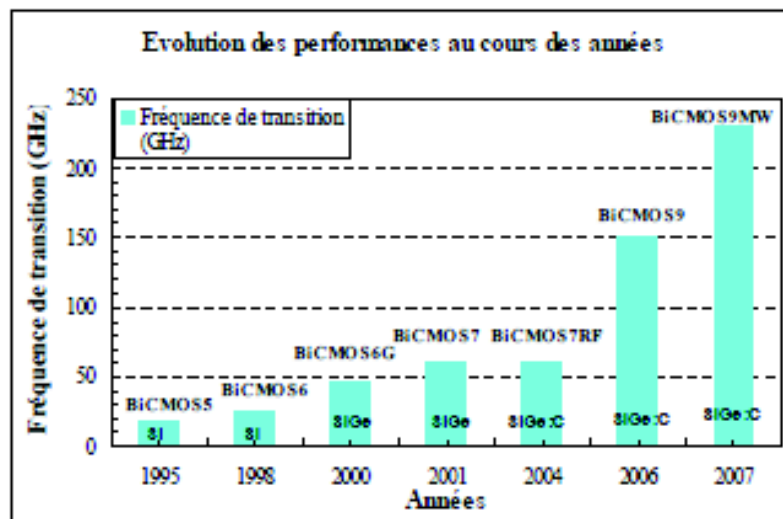


Figure 3 : Evolution de la fréquence de transition en fonction du nœud technologique.

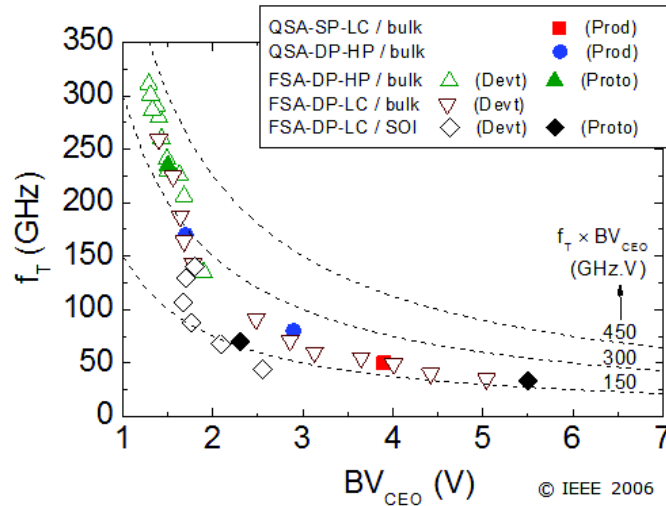


Figure 4 : Evolution de la fréquence de transition en fonction de la tension de claquage de la jonction collecteur émetteur en base ouverte.

Les dispositifs élémentaires qui nous intéressent pour cette étude sont les HBT Si/SiGeC dits « high speed » (haute vitesse) implémentés dans la technologie BiCMOS 0.13 $\mu$ m de STMicroelectronics. L'obtention d'un temps de transit global très court a été privilégiée dans cette technologie afin d'atteindre une fréquence de transition de 220 GHz et une fréquence maximale d'oscillation de 250 GHz pour un  $BV_{CEO}=1,6$  V. Ces caractéristiques seront présentées par la suite. La structure schématique en coupe est présentée ci-dessous (cf. Figure 5). La technologie présentée est semblable à celle des différents fabricants de transistors bipolaires.

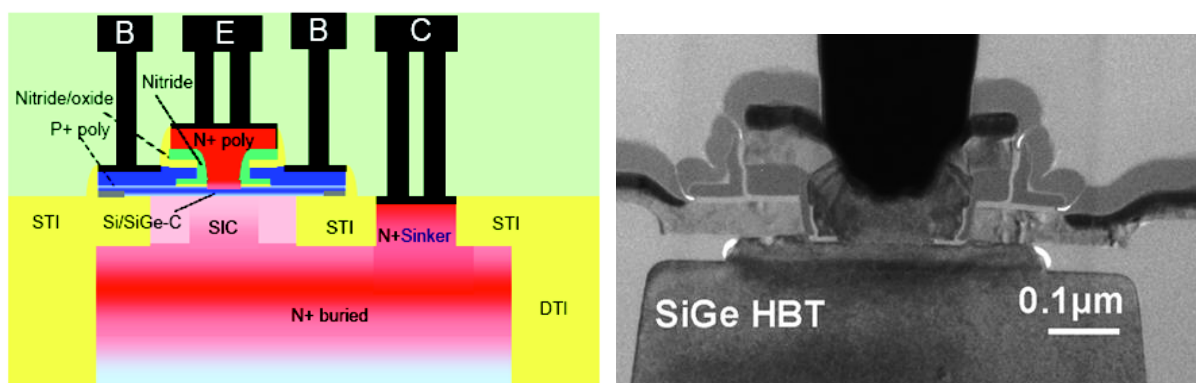


Figure 5 : Structure schématique en coupe (haut) ainsi qu'une coupe SEM (bas) d'un HBT.

## 1.2 Le principe de fonctionnement

Après une brève présentation du principe de fonctionnement du transistor bipolaire. Nous présentons les différents paramètres RF et de bruit basse fréquence afin d'introduire les protocoles expérimentaux pour caractériser ces paramètres.

Un transistor bipolaire se compose de deux jonctions PN disposées tête bêche présentant une région commune, la base. Nous obtenons alors trois parties actives, l'émetteur, la base et le collecteur respectivement dopées N, P, N ou P, N, P. Comme son nom l'indique, ce type de transistor fait intervenir les deux types de porteurs, électrons et trous. L'émetteur est plus fortement dopé que la base, elle-même plus fortement dopée que le collecteur. Une représentation schématique du HBT ainsi que ses 4 modes de fonctionnement sont présentés ci-dessous (cf. Figure 6). Les différents modes de fonctionnement peuvent être résumés de la façon suivante :

1. Fonctionnement direct (normal) : la jonction B-E est en direct ( $V_{BE} > 0$ ) et la jonction B/C est en inverse ( $V_{BC} < 0$ ).
2. Fonctionnement inverse : la jonction B-E est en inverse ( $V_{BE} < 0$ ) et la jonction B/C est en direct ( $V_{BC} > 0$ ).
3. Fonctionnement saturé : la jonction B-E est en direct ( $V_{BE} > 0$ ) et la jonction B/C est en direct ( $V_{BC} > 0$ ).
4. Fonctionnement bloqué : la jonction B-E est en inverse ( $V_{BE} < 0$ ) et la jonction B/C est en inverse ( $V_{BC} < 0$ ).

Notons que nous nous intéresserons principalement au mode de fonctionnement direct qui correspond à l'utilisation du bipolaire en tant que transconducteur, c'est-à-dire en source de courant commandée en tension.

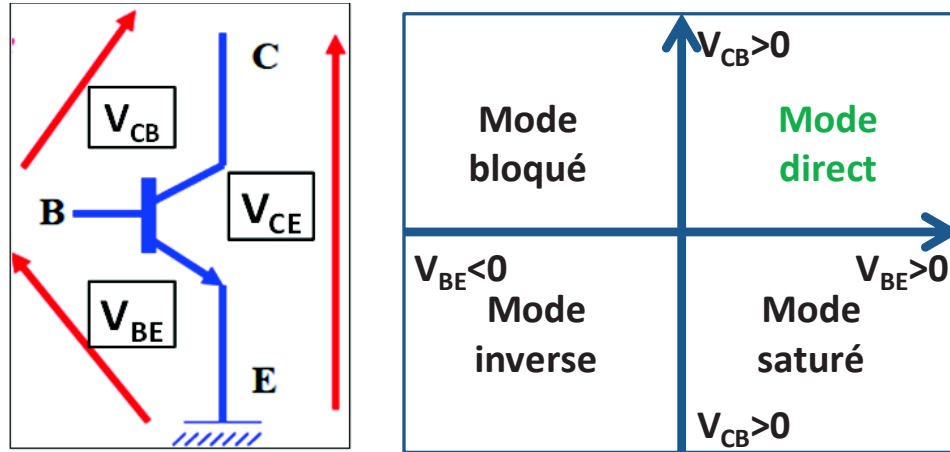


Figure 6 : Représentation schématique du HBT et de ses 4 modes de fonctionnement.

Le transistor bipolaire est un dispositif traversé par un courant vertical « porté » par des charges volumiques et contrôlé par sa tension de base. Le courant principal est contrôlé par la jonction B-E. Dans le cas des HBT, pour que la majorité des porteurs injectés soient des électrons, il faut que le dopage de la jonction B-E soit fortement dissymétrique (dopage émetteur très supérieur à celui de la base). De ce fait, la quantité de trous injectés dans l'émetteur sera très faible en regard des électrons injectés dans la base. Ces électrons vont par la suite atteindre la jonction B/C par un mécanisme de diffusion. Le courant collecteur va donc dépendre du gradient d'électrons dans la base. Dans un transistor idéal, le courant ne doit pas varier lorsque la polarisation de la jonction B/C varie. Afin de garantir cet effet, il faut assurer un dopage de base supérieur à celui du collecteur. Le profil de dopage typique et les flux de courants au sein des HBT sont représentés schématiquement ci-dessous (cf. Figure 7 et Figure 8).

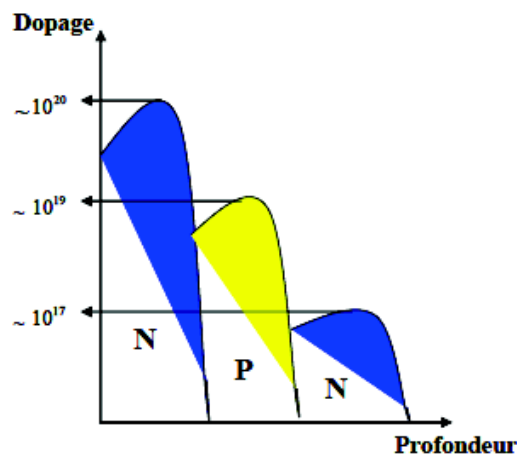


Figure 7 : Profil de dopage typique d'un HBT.



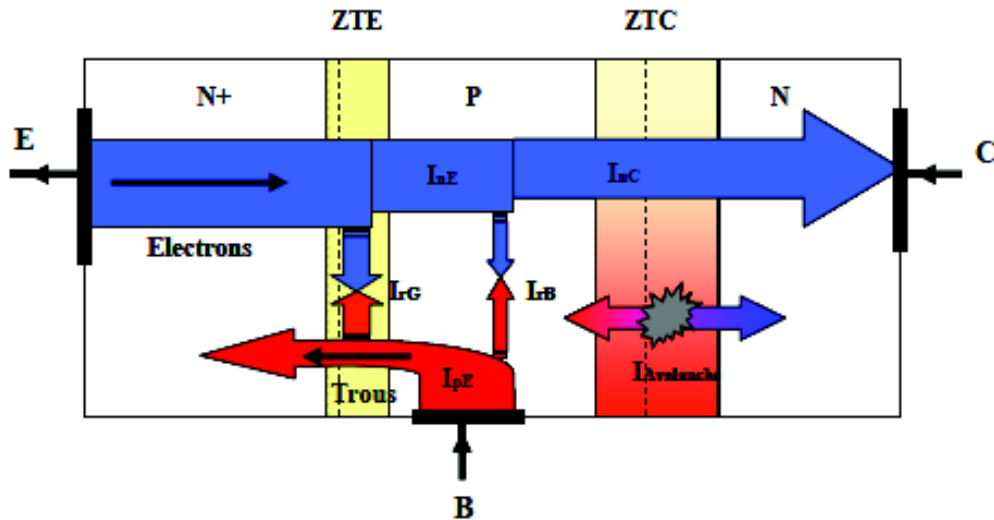


Figure 8 : Représentation schématique des flux de courants au sein des HBT.

Le courant  $I_{nE}$  représente le courant d'électrons injectés de l'émetteur vers la base. Le courant  $I_{pE}$  représente le courant de trous de la base vers l'émetteur. Le courant  $I_{rB}$  représente le courant de recombinaison dans la zone neutre de la base. Le courant  $I_{rG}$  représente le courant de recombinaison dans la zone de charge d'espace (ZCE) ou zone de transition émetteur (ZTE) de la jonction E/B.

Ainsi, nous définissons le courant base ( $I_b$ ) comme la somme des courants de recombinaison  $I_{rB} + I_{rG}$  et du courant de diffusion des trous vers l'émetteur  $I_{pE}$ . Le courant collecteur ( $I_c$ ) représente le flux d'électrons injectés dans le collecteur. Nous définissons le courant émetteur ( $I_e$ ), grâce à la loi de conservation des courants, comme la somme des courants  $I_b$  et  $I_c$  :

$$I_e = I_c + I_b \quad (1)$$

Un paramètre essentiel des HBT est le gain statique  $\beta$ , il est représenté par le gain en courant entre les jonctions collecteur et base :

$$\beta = \frac{I_c}{I_b} \quad (2)$$

Outre les différents modes de fonctionnement, le transistor bipolaire peut être connecté suivant 3 configurations (cf. Figure 9) :

- émetteur commun, émetteur relié à la masse ou à un potentiel constant
- base commune, base reliée à la masse ou à un potentiel constant

- collecteur commun, collecteur relié à la masse ou à un potentiel constant

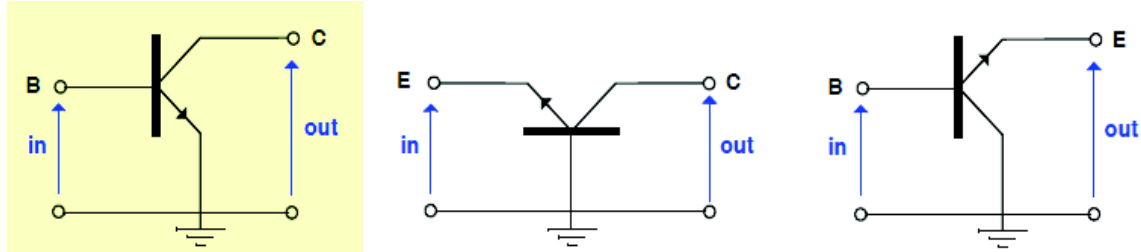


Figure 9 : Schéma des 3 montages différents du transistor bipolaire (de gauche à droite : émetteur commun, base commune et collecteur commun).

Une des figures de mérite des HBT est la fréquence de transition notée  $f_T$ , cette grandeur représente la valeur de fréquence pour laquelle l'amplitude du gain dynamique ( $\frac{I_C}{I_{BV_{CE}=0}}$ ) est égale à 1 (0 dB). Cette figure de mérite essentielle du transistor bipolaire dépend principalement du profil vertical du dispositif et donc du temps de transit à travers la structure. La fréquence  $f_T$  s'exprime au premier ordre en fonction du courant collecteur (cf. Figure 10). La fréquence maximale d'oscillation  $f_{max}$  est la fréquence pour laquelle le gain en puissance vaut 1 (0dB).

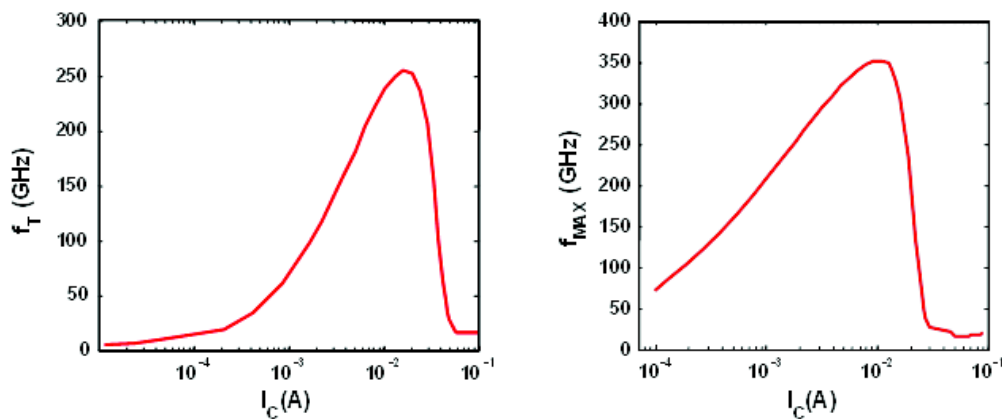


Figure 10 : Evolution des fréquences de transition et de la fréquence maximale d'oscillation en fonction du courant collecteur.

Nous allons introduire la notion de bruit électronique et principalement la notion de bruit basse fréquence aussi appelé bruit Flicker. De manière générique, nous définissons le bruit électronique comme étant l'ensemble des signaux aléatoires intrinsèques non désirés qui

se superposent aux signaux utiles. Le bruit est étudié dans le domaine fréquentiel à travers la mesure de sa densité spectrale de puissance, c'est-à-dire la répartition fréquentielle de la puissance du signal de bruit intégrée sur une bande de 1 Hz. Les différentes sources de bruit blanc sont :

- le bruit thermique : c'est le bruit provenant du déplacement aléatoire des électrons dû à l'agitation thermique et valant  $\frac{4kT}{R}$  où  $k$ ,  $T$  et  $R$  représentent respectivement la constante de Boltzmann, la température et la résistance d'accès.
- le bruit de grenaille ou bruit de Schottky : c'est le bruit lié à l'émission aléatoire des porteurs dans les jonctions des transistors bipolaires et valant  $2qI$  où  $I$  représente le courant moyen de polarisation. C'est la principale contribution de bruit blanc pour le HBT.

A ces sources de bruit blanc, s'ajoute les sources de bruit en excès :

- le bruit de génération recombinaison : c'est le bruit lié à la présence d'impuretés ou de défauts cristallins dans le matériau provoquant l'émission ou la capture de porteurs sur des niveaux pièges. Sa densité spectrale est de type « Lorentzien », avec un niveau de bruit constant jusqu'à une fréquence de coupure caractéristique ( $\frac{1}{2\pi\tau}$ ) où  $\tau$  représente une constante de temps caractéristique d'un phénomène de piégeage ou de dépiégeage.
- le bruit en  $1/f$  : c'est la source de bruit en excès que nous allons utiliser pour étudier nos HBT. Cette source de bruit est prédominante aux basses fréquences. Son origine physique est la fluctuation de la conductivité du matériau et donc en réalité, la fluctuation du nombre de porteurs et/ou de la mobilité des porteurs de charge.

En ce qui concerne cette dernière source de bruit, la théorie la plus utilisée pour expliquer ce phénomène est celle dite de Mc Whorter. Elle montre en effet qu'une sommation de bruit de génération-recombinaison avec des constantes de temps réparties correctement donne une densité spectrale de puissance répartie en  $1/f$  (cf. Figure 11).

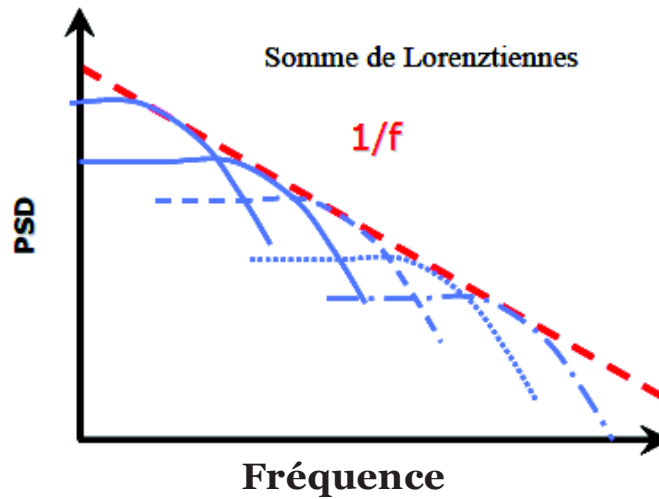


Figure 11 : Représentation de la théorie de Mc Whorter expliquant que le bruit 1/f est une sommation de Lorentziennes.

Il existe de nombreux modèles physiques de bruit en 1/f pour les transistors bipolaires. Celui utilisé en modélisation SPICE est un modèle décrit par la relation (3) prenant en compte la taille de l'émetteur à travers le paramètre  $K_F$  et donc une sensibilité aux sources de bruit localisées à l'interface de la jonction B-E.  $A_F$  est proche de 2.

$$S_{ib} = \frac{K_F \cdot I_B^{A_F}}{f} \quad (3)$$

Le bruit basse fréquence est étudié en fiabilité car il est sensible aux mécanismes physiques mis en jeu au cours des dégradations, mais aussi parce qu'il représente une des figures de mérite des HBT. Etant donné que nous mesurons le bruit basse fréquence sur le courant de base et qu'il est lié à la jonction B-E, nous pourrions alors situer l'origine de certaines défaillances. Concernant les autres sources de bruit en excès, elles sont présentes à des fréquences supérieures à 100 kHz et sont négligeables par rapport au bruit basse fréquence.

### 1.3 L'état de l'art de la dégradation des caractéristiques du transistor bipolaire

Cette partie est dédiée à l'état de l'art de la dégradation des caractéristiques statiques, dynamiques et de bruit basse fréquence des HBT. Nous orientons cette étude principalement sur les modes de dégradation direct et mixed-mode. Rappelons que le mode direct est atteint lorsque la jonction Base-Emetteur est polarisée en direct et la jonction Base-Collecteur en inverse ( $V_C > V_B$ ). Le mixed-mode est semblable au mode direct, sauf que la jonction

Collecteur-Emetteur, notée  $V_{CE}$ , est polarisée au-delà du  $BV_{CEO}$  qui représente la tension de claquage de la jonction Emetteur-Collecteur en Base ouverte. Le but est d'identifier la physique des mécanismes de dégradation et de connaître les caractéristiques du transistor qui se dégradent. Nous allons, dans un premier temps, présenter l'étude bibliographique des mécanismes de dégradation des caractéristiques statiques afin de poursuivre par les études du bruit basse fréquence. Nous terminerons cette partie par les études menées sur les caractéristiques dynamiques du transistor.

Plusieurs générations de transistors bipolaires sont décrites dans la littérature. Cependant, tous les transistors étudiés dans la littérature ainsi que ceux qui ont permis l'étude qui suit possèdent un émetteur en poly-Silicium comme décrit dans la partie précédente. Dans la suite de ce travail, nous ne considérerons que le cas d'un transistor bipolaire NPN. En effet, les transistors bipolaires NPN sont plus rapides que les transistors PNP car les porteurs du courant majoritaire sont des électrons, dont la mobilité dans un cristal de silicium est beaucoup plus importante que celle des trous. Ils ont également une meilleure tenue en tension [1].

### **1.3.a) La dégradation des caractéristiques statiques**

La dégradation des caractéristiques statiques des HBT est visible sur le tracé de Gummel. En effet, ce sont les dégradations des courants et du gain qui nous intéressent dans cette partie. De nombreuses études ont été menées sur la physique de la dégradation des HBT [1][2][3][4][5][6][7][8][9][10][11].

De manière générale, la dégradation des caractéristiques statiques des HBT se traduit par une augmentation du courant de base alors que le courant collecteur reste inchangé. Deux mécanismes de dégradation surviennent. Le premier est le mécanisme SRH (Shockley-Read-Hall) qui est commun à tous les modes de dégradation du transistor bipolaire. Ce mécanisme est dû à des défauts cristallins situés dans la jonction E-B qui vont servir de centre de génération recombinaison (G-R) et augmenter la partie dite non idéale du courant base, celle qui représente le courant G-R (cf. Figure 12).

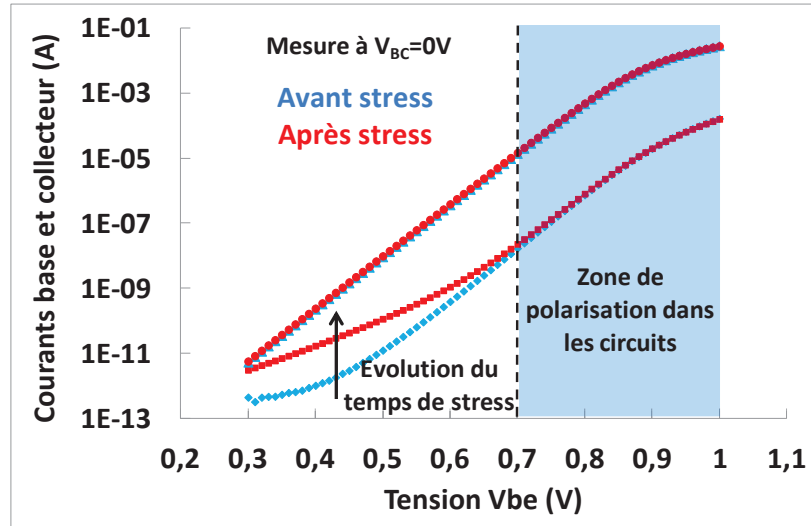


Figure 12 : Tracés de Gummel réalisés au cours d'une contrainte montrant l'évolution des courants.

L'origine et la nature de ces défauts sont bien connues, en effet, c'est le mécanisme de porteurs chauds qui génère ces défauts. Un porteur est dit chaud lorsque sa température électronique est supérieure à celle du réseau cristallin. Lorsque ces porteurs chauds acquièrent des hautes énergies grâce à de forts champs électriques, ils dégradent le réseau cristallin du silicium ou de l'oxyde de silicium créant ainsi des défauts situés à l'interface entre l'émetteur et la base [8].

Le second mécanisme de dégradation des caractéristiques statiques des transistors bipolaires est le TAT (Trap Assisted Tunneling). Ce mécanisme repose sur la G-R de porteurs par des pièges. Les porteurs (électrons et trous) sont excités thermiquement à travers les vibrations du réseau puis émis par effet tunnel entretenu par le fort champ électrique de la jonction B-E. Ce mécanisme est attribué à des pièges situés à 300 meV de la bande de conduction (cf. Figure 14). Ces derniers viennent s'ajouter aux pièges de génération-recombinaison SRH situés au milieu de la bande de conduction à 500 meV. Ce mécanisme se différencie sur les tracés de Gummel par une évolution de la pente du courant base avec des facteurs d'idéalité  $n=2$  et  $n=1,5$  représentant la signature du TAT (cf. Figure 14). Aucune étude ne reporte ce mécanisme de dégradation pour le mode inverse.

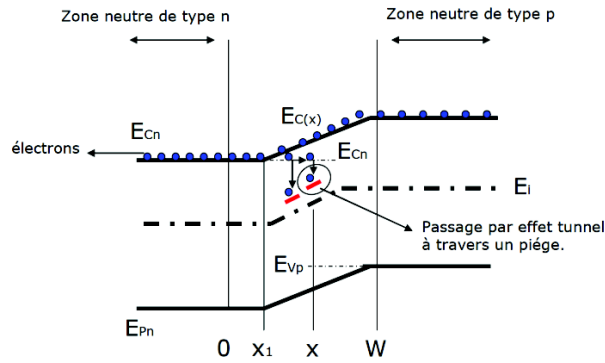


Figure 13 : Représentation schématique du diagramme de bandes montrant le passage d'un électron par effet tunnel [8].

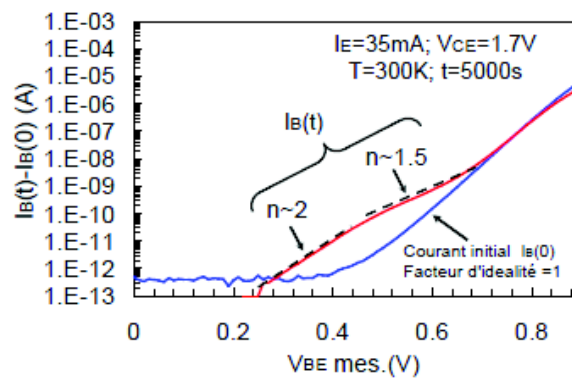


Figure 14 : Evolution de la pente du courant base due au TAT permettant la différenciation avec le SRH [8].

Concernant la dégradation du mode mixte, nous retrouvons les mêmes mécanismes physiques de dégradation, cependant, c'est le seul mode capable de dégrader la jonction B-C (champ électrique important) ce qui est visible que sur des polarisations B-E en inverse non utilisées dans les circuits millimétriques. De plus, ce mode de dégradation se différencie des autres par une importante dégradation qui se produit beaucoup plus rapidement qu'en mode direct. Cette constatation est valable pour les HBT Si et SiGe ce qui permet de ne pas remettre en cause la couche SiGe. Enfin, en mode direct et mixte, une température de 400°C est nécessaire pour passiver les défauts créés confirmant ainsi que les 2 modes de dégradation mènent aux mêmes mécanismes de dégradation. Le mode mixte permettra d'observer les dégradations plus rapidement et d'avoir des expérimentations à plus courte durée.

Intéressons-nous à l'évolution du courant au cours de la contrainte en mode direct et mixte, plusieurs études reportent des fluctuations erratiques du courant base qui ne subit pas une dégradation monotone. Ces fluctuations du courant base au cours du stress sont attribués à un nombre de pièges d'interface fluctuants, différenciant les modes direct et mixte du mode inverse par une dégradation non monotone. En effet, les défauts créés peuvent être passivés

par des atomes d'hydrogène qui migrent sous l'effet du flux d'électrons et de la température due à l'auto-échauffement du transistor. La diminution du courant base au cours de la contrainte est due à la diminution du nombre de centres de G-R. Ainsi, un cycle continu de création et de passivation de défauts règne au sein du composant ce qui nous permet de qualifier la dégradation de réversible. Cependant, des études montrent que les fluctuations n'apparaissent pas pour de faibles densités de courant.

### 1.3.b) La dégradation du bruit basse fréquence

Plusieurs fonctions non-linéaires RF et mmW nécessitent des niveaux faibles de bruit électronique. Les HBT se positionnent en tant que composant clé pour ces applications faible bruit telles que des oscillateurs contrôlés en tension (VCO) ou des mélangeurs. C'est la composante de bruit basse fréquence des HBT qui se dégrade lors du vieillissement du composant [3][1][6][7][8][9][10][11]. En effet, c'est le même mécanisme de dégradation du courant base qui est à l'origine de la dégradation du bruit basse fréquence. Les défauts supplémentaires générés au cours de la contrainte vont engendrer un surplus de bruit de génération recombinaison qui est dû à l'émission ou à la capture de porteurs. Ce phénomène est difficilement prédictible et génère des variations de courant liées à la fluctuation du nombre de défauts représentants des centres de G-R.

Après dégradation, la densité spectrale de bruit en  $1/f$  devient de type Lorentzien (cf. Figure 15). Rappelons que le bruit en  $1/f$  peut être représenté comme la somme de distributions Lorentziennes. Lorsqu'un des défauts émettra ou capturera un porteur, sa densité spectrale augmentera et atteindra un niveau de bruit constant jusqu'à une fréquence de coupure, notée  $f_C$ , qui représente les temps caractéristiques du phénomène de piégeage / dépiégeage.  $\tau_C$  et  $\tau_E$  représentent respectivement les temps de capture et d'émission de défauts.



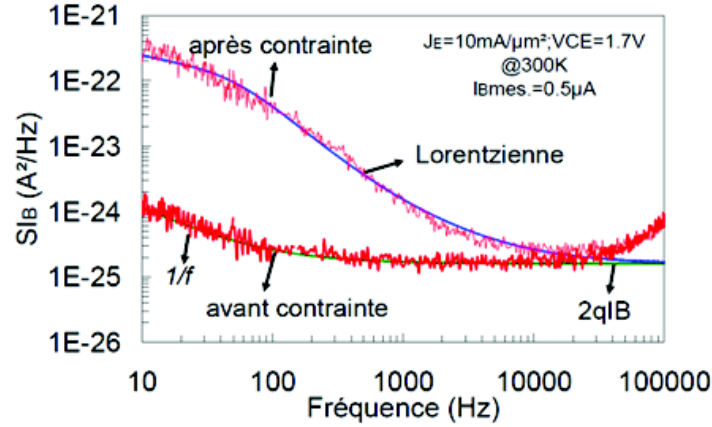


Figure 15 : Caractéristique avant et après stress du bruit basse fréquence montrant l'apparition d'une composante Lorentzienne après stress [8].

$$2 \pi f_C = \frac{1}{\tau_C} + \frac{1}{\tau_E} \quad (4)$$

Cette dégradation est commune aux modes direct et mixte, cependant, des études montrent une dégradation plus légère et plus instable en mode mixte. De récents travaux [8] montrent même une diminution du niveau de bruit à très hautes densités de courant (quatre fois la densité de courant au pic de  $f_T$ ) en expliquant ce résultat par une passivation des défauts préexistants avant la contrainte (cf. Figure 16).

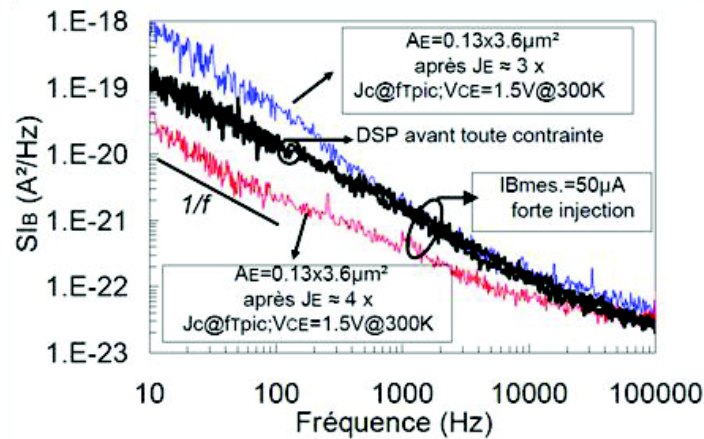


Figure 16 : Caractéristique avant et après stress du bruit basse fréquence montrant une diminution du bruit basse fréquence après dégradation [8].

Ce dernier résultat confirme la dualité entre les effets de la dégradation et de la passivation de défauts. Un modèle permet de décrire le bruit basse fréquence après dégradation :

$$S_{ib} = \frac{K_F \cdot I_B^{A^F}}{f} + \Delta S_{IB} \quad (5)$$

$$\text{où } \Delta S_{IB} = \frac{K_{G-R} I_B}{f} \quad (6)$$

avec  $f$  est la fréquence et  $K_{G-R}$  le facteur multiplicateur du bruit de génération recombinaison additionnel.

### 1.3.c) La dégradation des caractéristiques dynamiques

La dégradation des caractéristiques dynamiques des HBT peut être étudiée à travers des mesures de paramètres  $S$ . Dans les travaux rapportés dans la littérature [1][3][6][7][8][9], des études montrent de faibles dégradations des paramètres  $S$  impliquant une légère dégradation de la résistance série de l'émetteur qui peut être attribuée à une dégradation du contact des sondes de mesure. Une dégradation de la capacité de jonction base émetteur (3%) résultant de la dégradation de l'interface de cette jonction est aussi rapportée dans la littérature. Enfin, une étude montre une baisse de la fréquence de transition (1%) pour les pires conditions de stress qui ont été menées [9].

Différents modèles de dégradation donnent l'évolution du courant de base en fonction du temps et des paramètres d'instance du transistor tels que les courants ou les tensions. Cependant, il n'existe, à ce jour, aucun modèle décrivant l'évolution du bruit basse fréquence en fonction du temps. Concernant les caractéristiques dynamiques, peu d'études mettent en évidence une dégradation précise et reproductible pour les transistors bipolaires.

Nous allons orienter nos recherches vers l'étude de l'évolution des caractéristiques statiques des HBT sous stress DC tels qu'ils sont décrits dans la littérature mais aussi sous stress AC afin de connaître les effets de la fréquence des signaux sur la dégradation des courants. Nous reproduirons aussi une campagne de mesure de bruit électronique afin d'investiguer plus en détail l'évolution de cette caractéristique. Enfin, nous procéderons à des mesures de paramètres  $S$  pour extraire les caractéristiques dynamiques des transistors et confronter nos résultats à ceux de la littérature. Ces expérimentations sont décrites dans la partie suivante.

## 1.4 Les expérimentations effectuées

Nous présentons au cours de cette partie les différentes expérimentations. Nous introduisons ce qu'est un stress électrique utilisé dans le domaine de la microélectronique pour accélérer le vieillissement des dispositifs pour les études de fiabilité. Les points clés des protocoles expérimentaux sont aussi présentés au cours de cette partie.

### 1.4.a L'application du stress électrique et les caractéristiques statiques

En recherche et développement ainsi que lors des qualifications des technologies, la fiabilité des composants consiste à étudier les modes de dégradation de ces derniers directement sur plaquette de silicium. Ce sont donc des transistors ou des circuits qui sont étudiés en leur appliquant des stress électriques, thermiques, mécaniques ou encore radiatifs afin d'identifier les phénomènes physiques à l'origine de la dégradation. Les stress sont définis comme des conditions de fonctionnement bien plus sévères ou au-delà des spécifications que celles appliquées lors du fonctionnement réel du composant. Ceci permet de voir la dégradation du composant de manière accélérée.

En ce qui concerne l'état de l'art en matière de fiabilité du HBT, il existe 3 modes de dégradation (cf. Figure 17) :

- le mode inverse avec un  $V_{BE}$  négatif et le nœud collecteur flottant.
- le mode direct avec  $V_{BE}$  et  $V_{CE}$  positifs
- le mode mixte qui est la continuité du mode direct pour des tensions  $V_{CE}$  supérieures à  $BV_{CEO}$ .

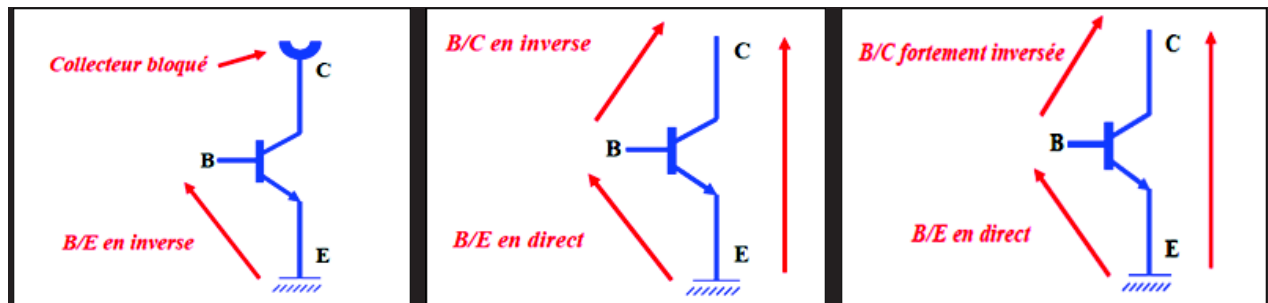


Figure 17 : Récapitulatif des modes de dégradation des HBT. De gauche à droite : les modes inverse, direct et mixed-mode.

Afin de stresser les HBT étudiés, nous reproduisons la configuration en émetteur commun qui est la configuration la plus utilisée dans les circuits RF et mmW. Comme le mode de fonctionnement normal des HBT n'est autre que le mode direct au sein des circuits RF et mmW et que le mode inverse reste lui un mode pouvant être atteint juste de façon ponctuelle, nous allons réaliser notre étude de fiabilité dans le cadre des modes direct et mixte. Concernant les stress électriques par des signaux AC, nous reproduisons des gammes de tensions semblables à celles du DC, tout en faisant varier la fréquence et le rapport cyclique. De plus, les temps de montée et de descente des signaux sont fixés à 0,1  $\mu$ s, ce qui représente la limite du générateur d'impulsions dont nous disposons (cf. Figure 18).

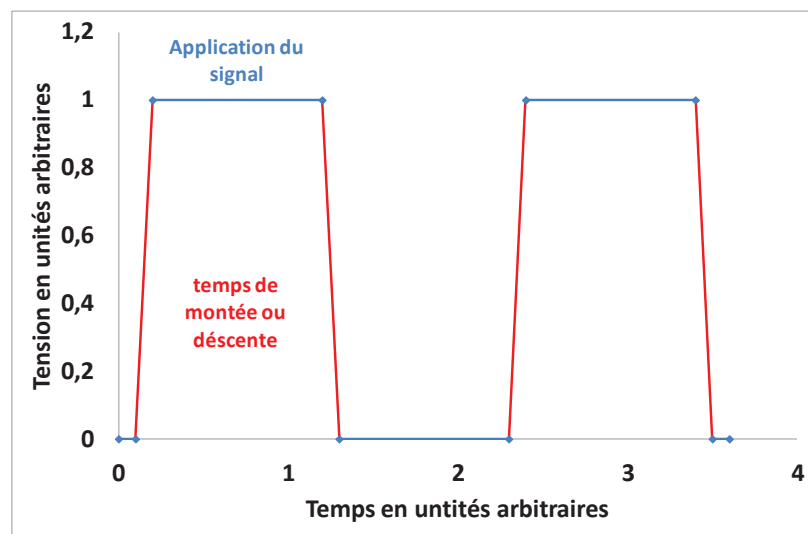


Figure 18 : Représentation schématique du signal appliqué lors des stress AC.

Dans le but de réaliser le suivi de la dégradation des caractéristiques statiques des HBT, nous utilisons la caractéristique de Gummel qui représente la variation des courants base et collecteur en fonction de  $V_{BE}$ . Nous utilisons la configuration en émetteur commun et fixons la tension  $V_{CB}$  à 0V pour tous les tracés de Gummel que nous présentons. De plus, c'est grâce à cette caractéristique que le gain en courant peut être extrait.

#### 1.4.b Le bruit basse fréquence

La figure suivante montre un schéma synoptique du banc de mesure de bruit (cf. Figure 19). Les alimentations utilisées sont des batteries afin de limiter le niveau de bruit électronique et de polariser la base par un courant. Le HBT sous test est en configuration émetteur commun et son collecteur est maintenu à 1V de sorte qu'il ne puisse pas se retrouver en mode de fonctionnement saturé.

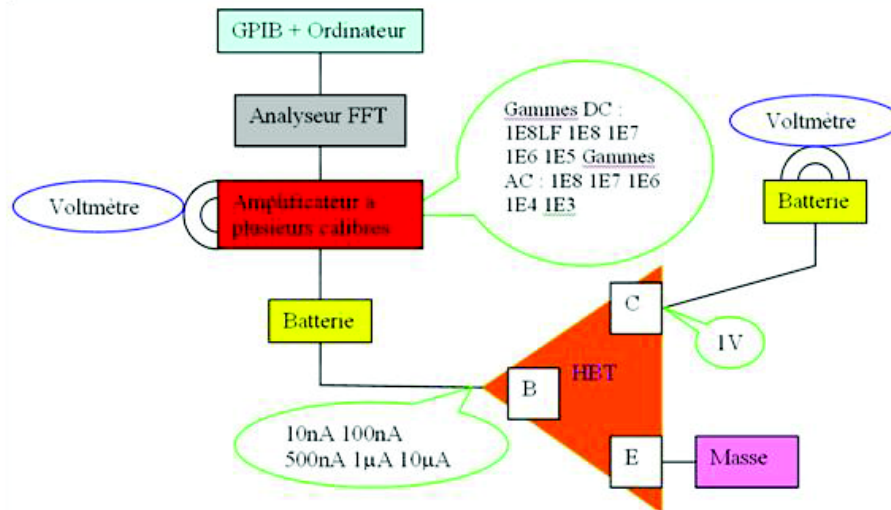


Figure 19 : Représentation schématique du montage à réaliser pour les mesures de bruit basse fréquence.

Etant donné la sensibilité des mesures de bruit basse fréquence, celles-ci sont réalisées à l'intérieur d'une cage de Faraday afin de s'affranchir des signaux parasites émis par les téléphones portables par exemple.

#### 1.4.c Les caractéristiques dynamiques

Les mesures de paramètres  $S$  permettent d'obtenir, par extraction, les performances et les caractéristiques dynamiques des HBT tels que celles citées précédemment ( $f_T$  et  $f_{max}$ ). Les paramètres  $S$  sont reliés aux ondes de puissance qui sont transmises ou réfléchies par le dispositif. L'obtention de ces paramètres nécessite des conditions expérimentales bien précises, et est basée sur des expressions d'admittance ainsi que des extrapolations. Une calibration de type SOLT (Short Open Load Thru) est réalisée à -20 dBm, puis vérifiée au cours des mesures du fait des dérives possibles de l'appareil. L'épluchage ou de-embedding est réalisé grâce à des structures dédiées, à savoir un circuit ouvert ou open et un court-circuit ou short. Les mesures sur le composant sont réalisées en petit signal (-20 dBm) sur un banc de mesures sous pointes HF couplé à un analyseur vectoriel (VNA) et couvrant un domaine de fréquence jusqu'à 67 GHz. Les polarisations du transistor bipolaire dans le cadre de ces caractérisations sont décrites ci-dessous (cf. Figure 20).

<b>Tension <math>V_{BE}</math></b>	0,78V à 0,98V par pas de 0,02V	0,78V à 0,98V par pas de 0,02V	-1V 0V et 0,5V	0,7V
<b>Tension <math>V_{CE}</math></b>	0	-5V	0V puis 1,5V à 2,5V par pas de 0,5V	0,5V à 5V par pas de 0,01V

**Figure 20 : Récapitulatif des gammes de polarisation des HBT dans le cadre des mesures de paramètres S nécessaires à l'extraction des paramètres dynamiques.**

Nous réalisons ces tests dans le but d'étudier l'évolution des paramètres des transistors au cours des stress électriques. Ces mesures sont principalement axées sur les courants (représentatifs de la consommation et de la transconductance), sur les paramètres RF (liés aux performances de rapidité de fonctionnement), et enfin sur le bruit électronique. Ces paramètres sont étudiés car ils sont représentatifs des performances des circuits mmW. Les résultats sont présentés dans la partie suivante.

### 1.5 Les dégradations des caractéristiques du transistor bipolaire sous stress DC et AC

Cette partie est dédiée à l'analyse des résultats expérimentaux obtenus à travers des transistors bipolaires à hétérojonctions. Nous pourrions les comparer aux résultats présentés dans la littérature et vérifier que nous ne faisons pas face à de nouveaux mécanismes de dégradation. Les transistors bipolaires à hétérojonctions que nous avons étudié possèdent les caractéristiques décrites dans la Figure 21.

<b>Fréquence de transistion <math>F_T</math> maximale</b>	<b>220 GHz</b>
<b>Courant base <math>I_B</math></b>	<b><math>1E^{-5}</math> A</b>
<b>Tension <math>V_{CE}</math> maximale</b>	<b>1,6 V</b>

**Figure 21 : Caractéristiques des transistors bipolaires à hétérojonctions étudiés**

#### 1.5.a Les caractéristiques statiques

Tout d'abord, intéresserons-nous à l'évolution du tracé de Gummel au cours de la dégradation du HBT. Les résultats que nous obtenons sur silicium sont tout à fait conformes à ceux reportés dans la partie 3. En effet, la dégradation du courant base est clairement visible car, pour des  $V_{BE} < 0,7$  V, l'ordre de grandeur de l'augmentation du courant base peut atteindre 2 décades (cf. Figure 22). Le courant collecteur reste inchangé suite aux différents niveaux de dégradation.

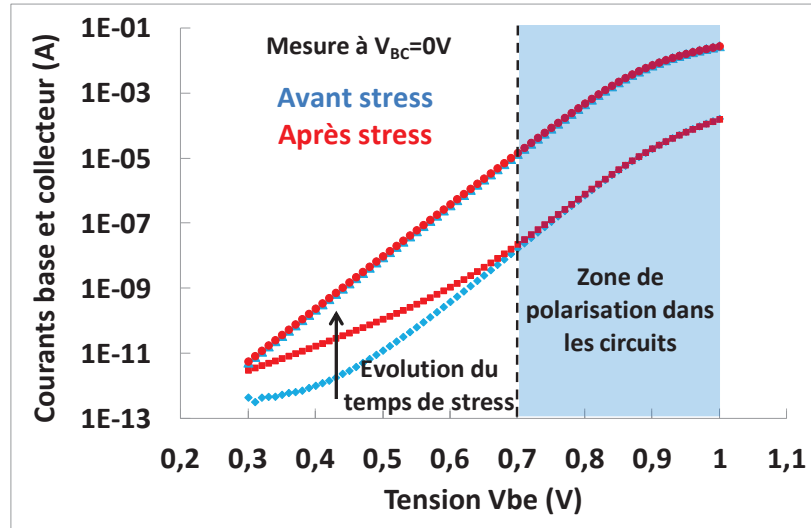


Figure 22 : Tracé de Gummel représentant les courants avant et après stress d'un HBT stressé.

Les deux mécanismes de dégradation reportés dans la littérature, à savoir le phénomène SRH et le phénomène TAT, peuvent être observés sur les transistors bipolaires testés. La figure 23 montre l'évolution des tracés de Gummel pour deux transistors subissant le même stress (cf. Figure 23). Il est dans ce cas difficile de prédire quel phénomène prédominera sur l'autre au cours de la dégradation. De plus, l'expérimentation montre que la signature du TAT ne survient pas dès les premiers moments du stress.

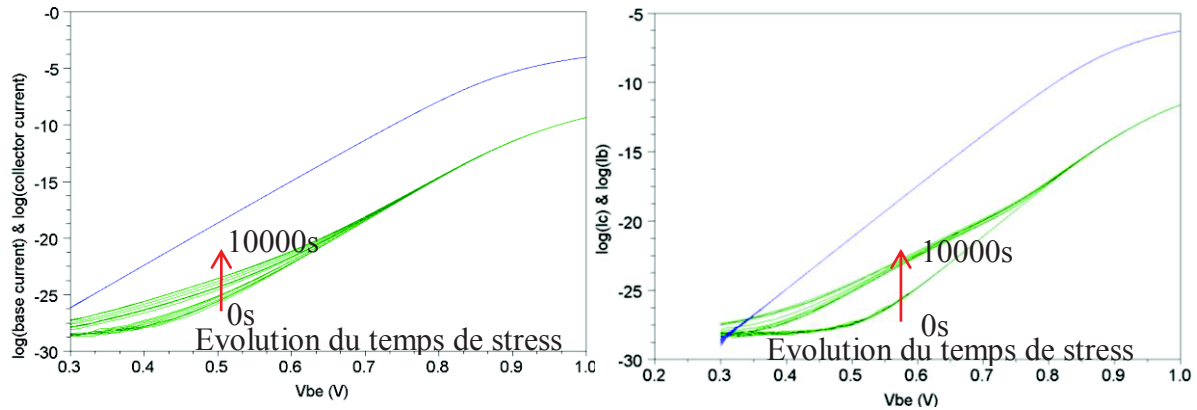


Figure 23 : Comparaison des allures de la dégradation suite au SRH (gauche) et suite au TAT (droite).

Afin d'approfondir ce point, nous procédons à des dégradations des HBT en stressant par des densités de courant d'émetteur variables sur différentes géométries. La Figure 24 montre la dégradation relative du courant base ( $\frac{\Delta I_b}{I_b}$ ) à un  $V_{BE}=0,45$  V en fonction de la densité de courant émetteur pour HBT de longueur d'émetteur de  $0,6 \mu\text{m}$ ,  $5 \mu\text{m}$  et  $15 \mu\text{m}$ . Deux HBT de chaque géométrie de transistor sont stressés pour chaque condition. Les résultats montrent

que la dégradation de type SRH survient pour toutes les géométries ainsi que pour toutes les densités de courant de stress, comme attendu suivant la littérature. Il est difficile de conclure sur les densités de courant menant au mécanisme TAT.

D'autres phénomènes sont mis en évidence à travers cette étude, en effet, nous pouvons constater que le niveau de dégradation du courant base est dépendant de la densité de courant. Nous trouvons un pic de la dégradation pour une densité de courant de l'ordre du  $\text{mA}/\mu\text{m}^2$  et c'est la densité de courant pour laquelle les HBT de même géométrie ont la plus forte dispersion de la dégradation. La géométrie de longueur d'émetteur de  $0,6 \mu\text{m}$  montre une augmentation du courant base d'environ 150 % par SRH pour le premier HBT testé et d'environ 650 % par TAT pour le second. L'apparition du TAT provoque clairement des niveaux de dégradation plus élevés.

Au-delà de la densité de courant de l'ordre du  $\text{mA}/\mu\text{m}^2$ , les dégradations montrent une dispersion plus faible et un niveau de dégradation restreint, sauf pour les structures où le TAT apparaît. Malgré l'augmentation de la valeur du stress, les dégradations n'augmentent pas comme nous pourrions nous y attendre. En étudiant l'évolution temporelle des structures stressées avec des densités de courant supérieures au  $\text{mA}/\mu\text{m}^2$ , nous constatons une dégradation non monotone présentée par des fluctuations au cours de la contrainte. Ainsi, nous pouvons définir la densité de courant de  $1 \text{ mA}/\mu\text{m}^2$  comme la densité de courant au-delà de laquelle le transistor s'auto-échauffe et les défauts peuvent être passivés.

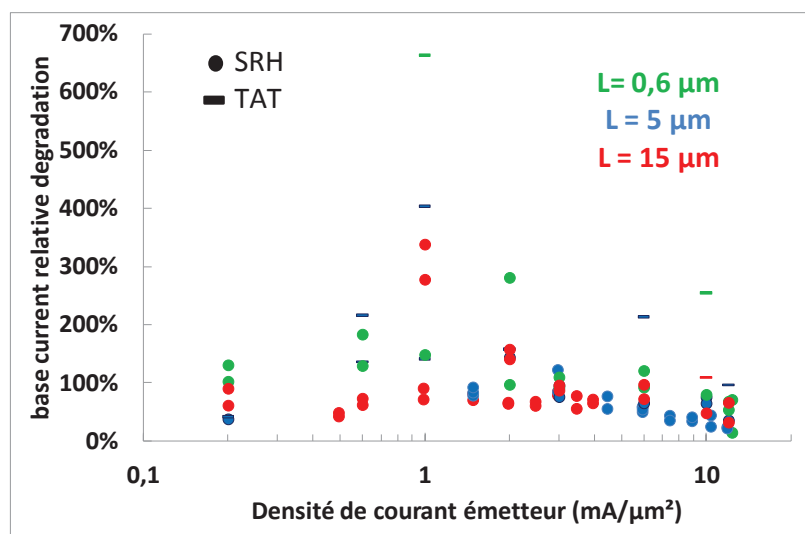


Figure 24 : Dégradation relative du courant base en fonction de la densité de courant de stress pour différentes géométries de transistors.



Etant donné la dualité entre la création de défaut dus à la dégradation et leur passivation, il est difficile de réaliser un modèle prédictif. L'apparition soudaine du TAT augmente la complexité de réalisation de modèles de dégradation précis en plus du fait qu'il génère des dégradations plus importantes que le SRH.

Les travaux suivants concernent l'évolution du courant base suite à une contrainte AC. Nous voulons étudier l'impact de la fréquence et du rapport cyclique. Pour cela, nous choisissons une condition de stress DC pour laquelle le champ électrique de la jonction base émetteur n'est pas très élevé afin de limiter la passivation de défauts (cf. Figure 25). Nous constatons que les cinétiques de dégradation des HBT stressés par un signal DC ou un signal AC sont similaires pour des fréquences allant jusqu'à 500 MHz. Une seconde condition de stress plus importante permet de confirmer ce résultat (cf. Figure 26). Les mêmes observations sont obtenues pour des stress ayant des rapports cycliques différents. Ces observations nous permettent de conclure, dans un premier temps, qu'il n'y a pas d'effets fréquentiels sur la dégradation et que c'est la valeur de la tension de stress appliquée qui détermine le niveau de dégradation. Dans un second temps, ces résultats mettent en évidence que l'auto-échauffement du dispositif est présent jusqu'à des fréquences de 500 MHz car les cinétiques de dégradation sont les mêmes. Des stress à des fréquences supérieures permettraient d'obtenir la constante de temps de l'auto-échauffement qui peut être déduite si les cinétiques de dégradation diffèrent.

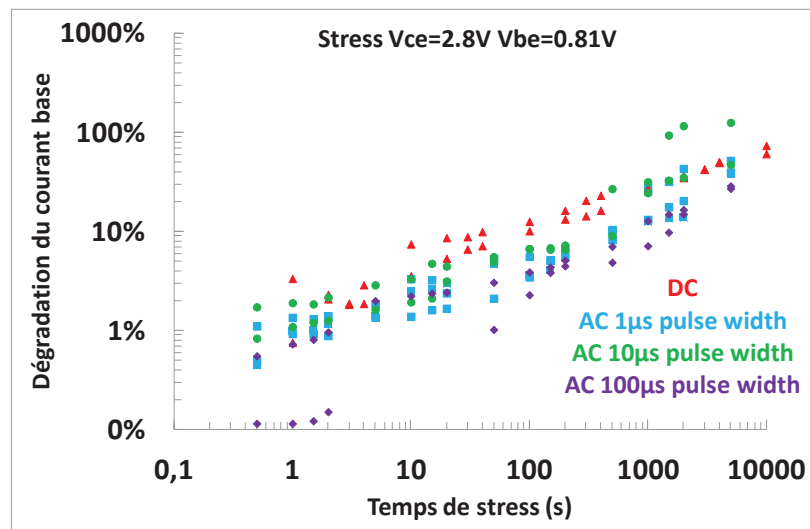


Figure 25 : Comparaison de la dégradation du courant base entre un stress DC et un stress AC pour un  $V_{BE}$  de 0,81V.

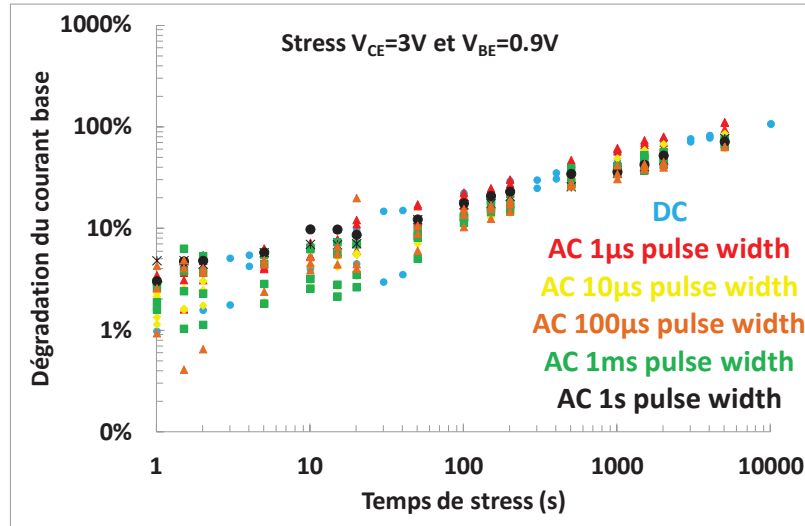


Figure 26 : Comparaison de la dégradation du courant base entre un stress DC et un stress AC pour un  $V_{BE}$  de 0,9V.

Concernant l'effet de saturation de la dégradation, les différentes expérimentations effectuées ne nous permettent pas d'obtenir et de visualiser cet effet. Cependant, lors de dernières investigations, nous avons pu constater une saturation de la dégradation pour des températures de stress de l'ordre de 110 °C telle que la courbe bleu le montre (cf. Figure 27). Le fait que cette saturation survienne aussitôt est difficilement explicable. Nous savons grâce à la littérature que la dégradation reste limitée à haute température à cause de l'interaction des porteurs chauds et des phonons issus des vibrations des atomes excités thermiquement. Ainsi, nous émettons l'hypothèse que cette saturation est attribuée à la limitation de la dégradation en haute température. Cette tendance n'est pas reproductible sur les autres HBT subissant les mêmes conditions de stress et nous retrouvons le phénomène de passivation de défauts clairement visible sur la courbe verte.

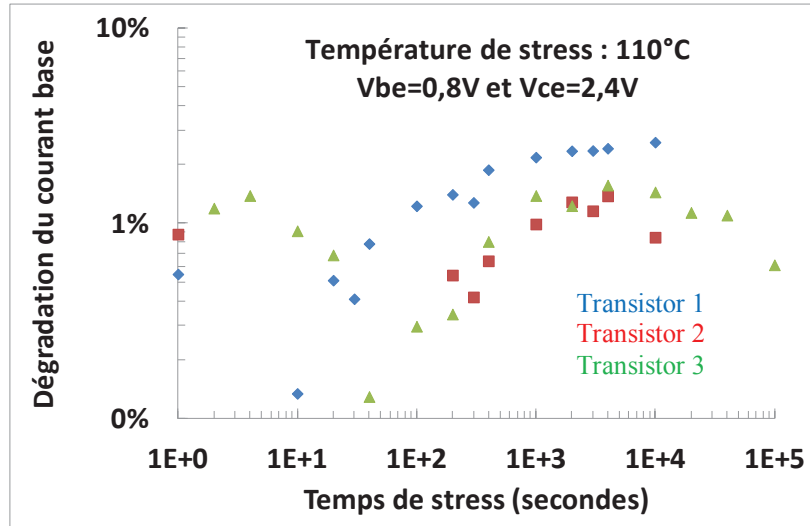


Figure 27 : Dégradation du courant base en fonction du temps à 110°C montrant un effet de saturation.

Notons que nous n'avons pas obtenu de résultat montrant une diminution du courant base. Outre les dégradations à faibles tensions  $V_{BE}$  dont les ordres de grandeur peuvent être très importants, nous proposerons, pour la suite de ce travail, un modèle d'évolution du courant base pour les tensions  $V_{BE} > 0,8$  V.

### 1.5.b Le bruit basse fréquence

En premier lieu, nous allons vérifier que les HBT testés subissent bien une dégradation du bruit basse fréquence. La caractéristique de bruit basse fréquence du transistor obtenue suite à un stress montre, effectivement, une augmentation du niveau de bruit (cf. Figure 28). Comme le montre la Figure 28 représentant la densité spectrale de bruit de la base en fonction de la fréquence, cette augmentation est traduite par l'apparition d'une distribution Lorentzienne, avec une fréquence de coupure notée  $f_c$ , représentative de la création d'un défaut de type G-R. Nous remarquons que cette Lorentzienne possède une fréquence de coupure qui évolue suivant la polarisation en courant du HBT, tout en gardant la même amplitude. Ceci est expliqué dans la littérature [12]. En effet, une étude du bruit basse fréquence à travers des mesures de RTS (random telegraphic signals) avance l'hypothèse que, c'est le temps de capture de défauts qui diminue lorsque la polarisation  $V_{BE}$  augmente tout en gardant la même amplitude.

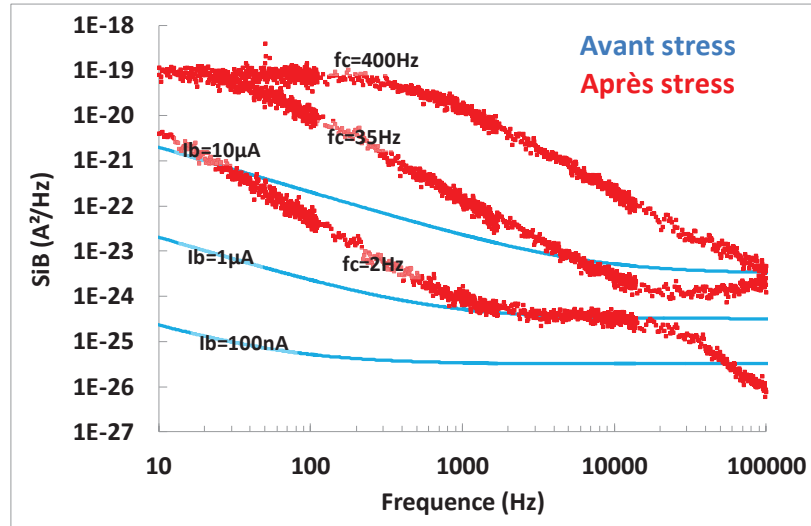


Figure 28 : Bruit basse fréquence avant (bleu) et après (rouge) stress pour différents niveaux de courant.

L'étude qui suit a été réalisée sur un nombre restreint de transistors afin de connaître l'impact des stress AC sur la dégradation du bruit basse fréquence. 2 HBT identiques stressés, l'un en DC et l'autre en AC, montrent des niveaux de dégradation différents avec une évolution plus importante dans le cadre du stress DC (cf. Figure 29). Si nous reproduisons le stress AC sur un troisième transistor, nous obtenons la tendance inverse, à savoir, le stress AC induit une plus grande évolution de la dégradation (cf. Figure 30). Plusieurs stress de conditions différentes ont été réalisés suite à ces constatations, cependant, une importante dispersion de la dégradation est obtenue pour toutes les conditions. Ceci ne nous permet pas de conclure sur les effets des stress AC sur la dégradation, mais, nous pouvons conclure que la dispersion obtenue est le résultat du mécanisme aléatoire de création/passivation de défauts. Cette dispersion va motiver une campagne de mesures plus importante afin de connaître l'ordre de grandeur de cette dispersion et définir le pire cas de dégradation.

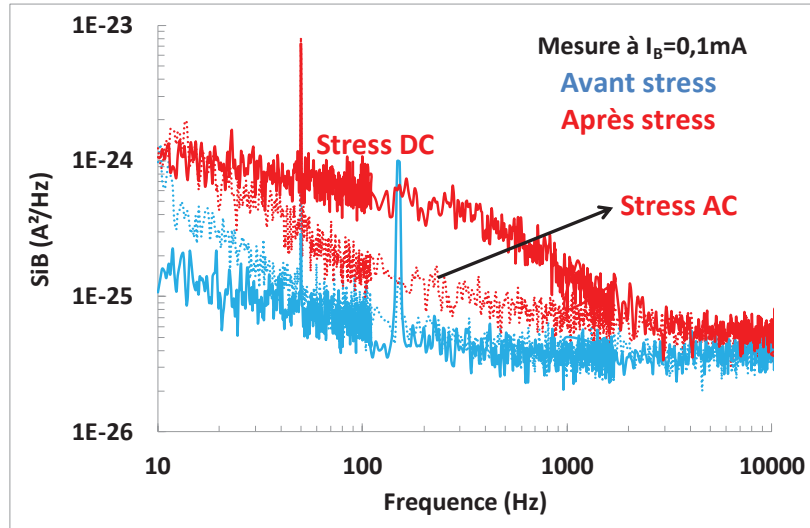


Figure 29 : Comparaison de la dégradation du bruit basse fréquence entre un stress DC et un stress AC.

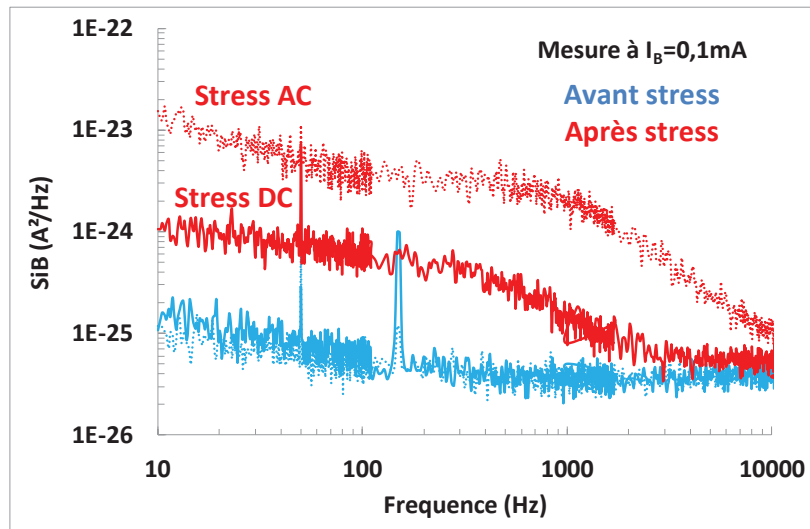


Figure 30 : Comparaison de la dégradation du bruit basse fréquence entre un stress DC et un stress AC.

Pour connaître l'ordre de grandeur de cette dispersion, 40 HBT identiques sont stressés par une même condition DC. Les caractérisations initiales ainsi que les caractérisations après stress des 40 HBT sont présentées ci-dessous (cf. Figure 31 et Figure 32). Avant tout stress, nous pouvons déduire de nos caractérisations initiales une dispersion du bruit basse fréquence de l'ordre d'une décade due à la dispersion du procédé de fabrication et du nombre de défauts préexistants. Les HBT présentant une caractéristique initiale en  $1/f$  sont exploités par la suite. Après la dégradation, les résultats montrent une dispersion beaucoup plus importante. En fonction de la fréquence, la dégradation peut induire une augmentation du niveau de bruit de l'ordre de 4 décades. De plus, les caractéristiques après stress ne présentent pas toutes cette tendance.

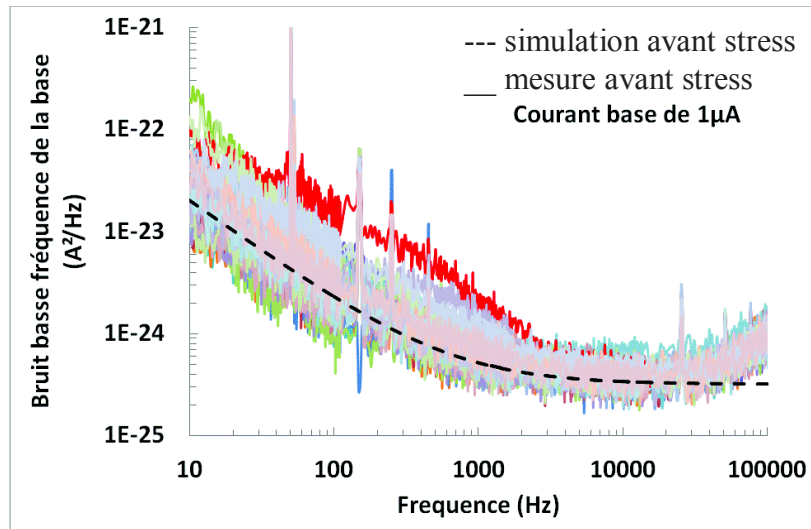


Figure 31 : Bruit basse fréquence de 40 HBT avant stress.

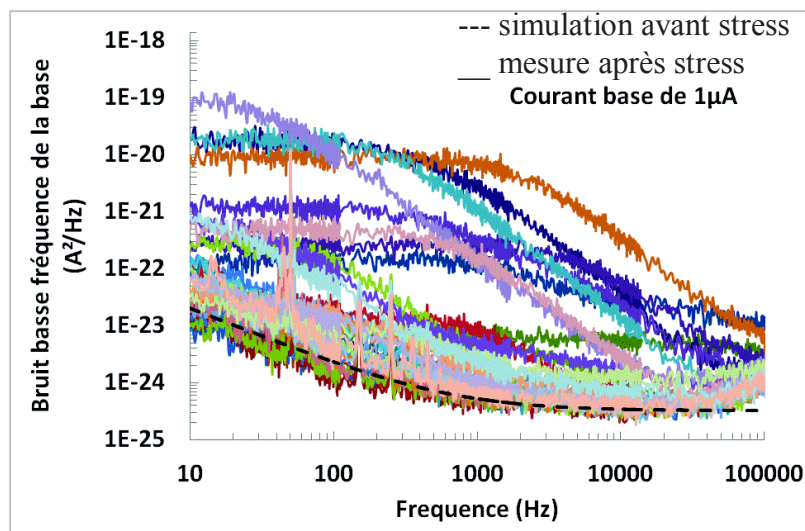


Figure 32 : Bruit basse fréquence de 40 HBT après un stress identique.

Concernant les différentes allures que présentent les caractéristiques en bruit des HBT stressés, nous pouvons déduire des résultats 3 tendances bien distinctes (cf. Figure 33) :

- Une faible augmentation du niveau de bruit sans apparition de distribution Lorentzienne
- Une dégradation accompagnée de l'émergence d'une distribution Lorentzienne
- Une dégradation accompagnée de l'émergence de plusieurs distributions Lorentziennes

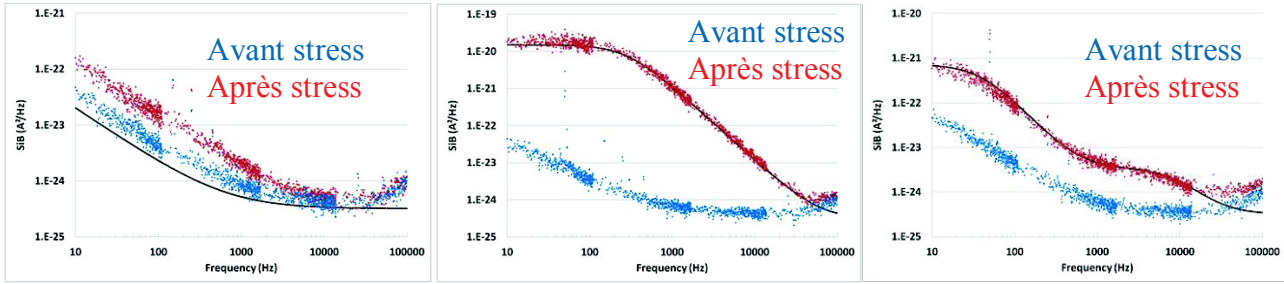


Figure 33 : Présentation des différentes allures possibles de bruit basse fréquence après stress.

Afin de poursuivre cette étude, nous représentons le nombre d'occurrences des fréquences de coupure de toutes les distributions Lorentziennes extraites à partir des caractéristiques. Nous remarquons que ces distributions Lorentziennes surviennent sur toute la gamme de fréquence de caractérisation des HBT, à savoir la gamme allant de 10 Hz à 100 kHz (cf. Figure 34).

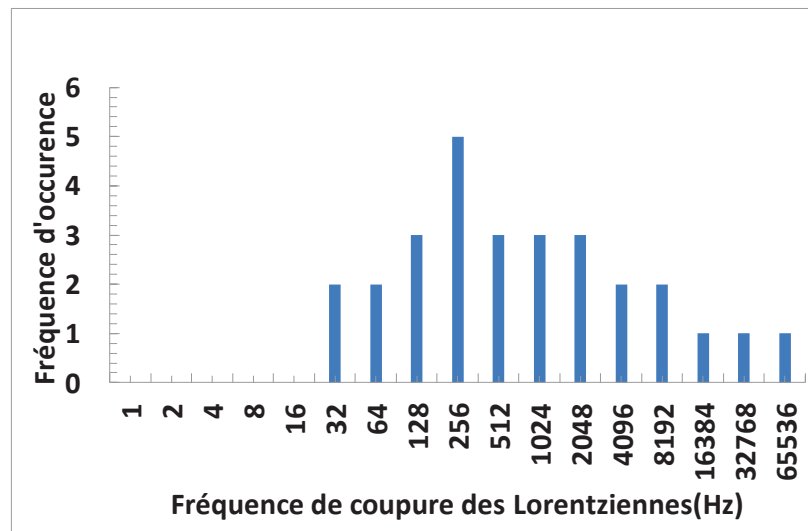


Figure 34 : Distribution statistique des fréquences de coupure des distributions Lorentziennes.

Outre cette forte dispersion, l'étude de l'évolution du bruit électronique en fonction du temps montre que nous sommes à nouveau face au phénomène de création/passivation de défauts. En effet, nous obtenons une dégradation non monotone du bruit basse fréquence caractérisée par des niveaux de bruit pouvant être plus élevés au cours de la contrainte qu'à la fin du stress (cf. Figure 35). Ainsi, nous pouvons conclure que ce sont les mêmes défauts de G-R qui produisent les évolutions du courant base et du bruit basse fréquence des HBT.

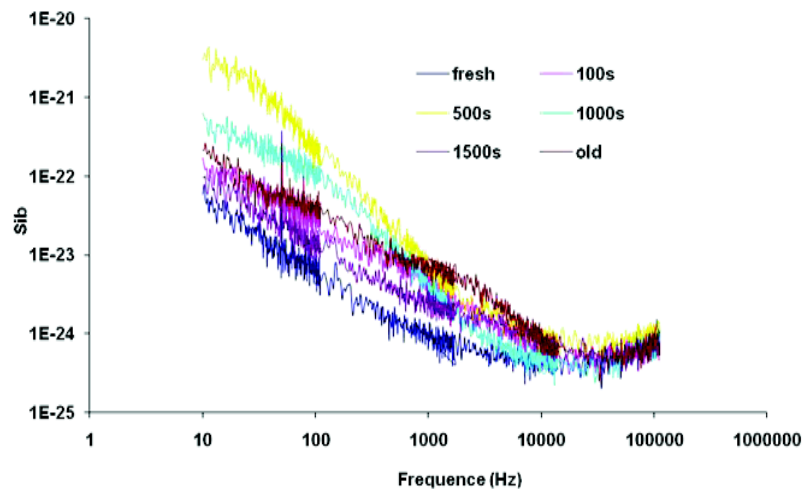


Figure 35 : Evolution temporelle du bruit basse fréquence au cours d'un stress.

Nous réalisons une nouvelle étude afin de vérifier l'existence d'un lien entre l'évolution du courant base et la dégradation du bruit basse fréquence. La figure 36 montre l'évolution du bruit électronique à 120 Hz pour un  $I_B=500$  nA en fonction de la dégradation du courant base à un  $V_{BE}=0,65$  V pour des HBT de longueurs et de nombres d'émetteurs variables (cf. Figure 36). Les résultats montrent qu'il n'y a pas de corrélation entre les 2 grandeurs qui se dégradent et, ainsi, ne permettent pas de proposer de loi de corrélation.

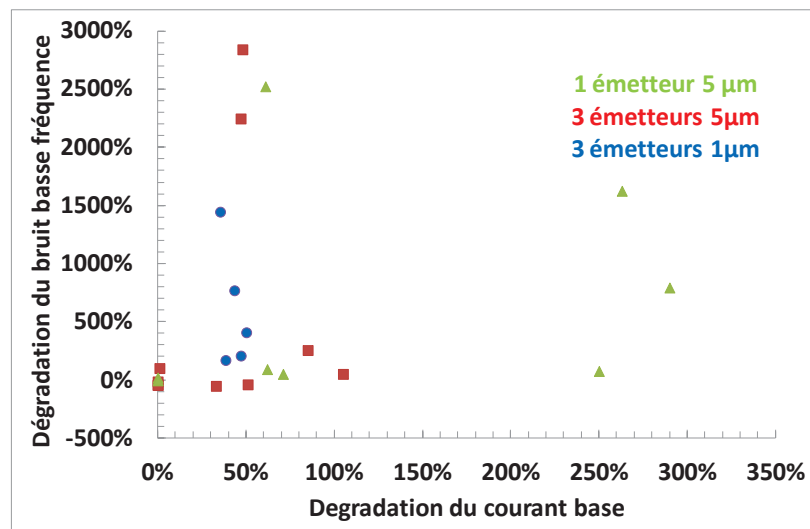


Figure 36 : Dégradation du bruit basse fréquence en fonction de la dégradation du courant base pour des HBT de géométries différentes et de nombre d'émetteurs différent.

Ces résultats confirment le caractère stochastique de la dégradation et la difficulté de réalisation d'un modèle prédictif de vieillissement de bruit électronique des HBT.



### 1.5.c Les caractéristiques dynamiques

Suite aux résultats décrits précédemment dans l'état de l'art, nous procédons à une campagne de mesures de paramètres S et de stress afin d'extraire les caractéristiques dynamiques des HBT. Les paramètres qui nous intéressent principalement sont la  $f_T$  et la capacité de jonction B-E tels qu'ils sont reportés dans la littérature.

Afin de réaliser cette étude, nous appliquons différentes valeurs de stress sur la géométrie dite nominale de la technologie, à savoir une longueur d'émetteur de  $5\mu\text{m}$ . Les résultats obtenus sont tous similaires et ne dépendent pas de la nature du stress. Des mesures de Gummel sont réalisées avant et après les stress afin de connaître l'état de dégradation du courant base. Ces mesures sont représentées à travers l'évolution du gain statique (cf. Figure 37). Nous présentons les résultats obtenus pour la condition de stress pour laquelle le gain a subi le plus de dégradation.

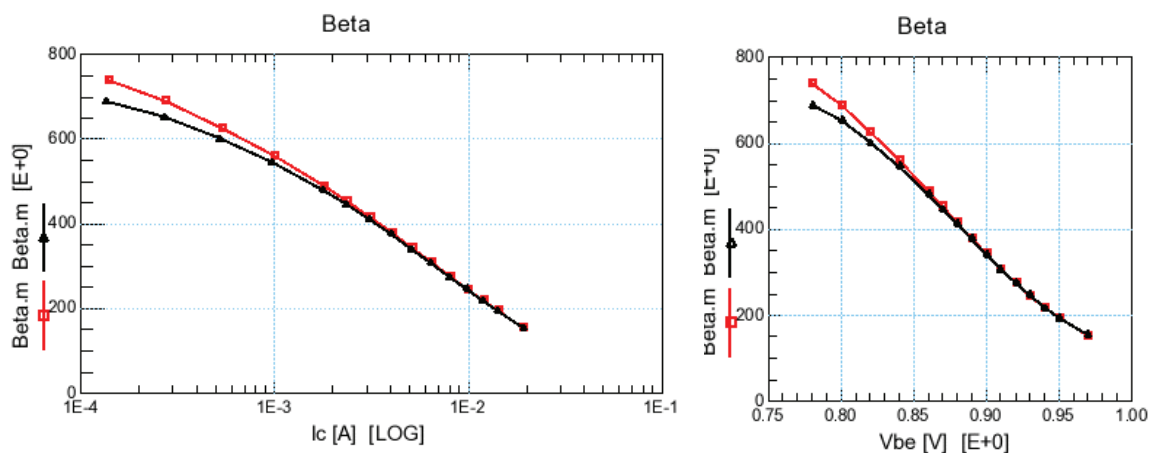


Figure 37 : Comparaison du gain statique avant (rouge) et après (noir) stress en fonction de la polarisation en courant (gauche) et en tension (droite).

Après vérification de la dégradation du courant, nous nous intéressons aux mesures de paramètres S. Les résultats représentent l'évolution, avant et après stress, des parties réelles et imaginaires des paramètres Y représentant l'admittance du HBT. Ces derniers sont obtenus par calculs matriciels à partir des paramètres S. Visiblement, il n'y a pas de forte dégradation des paramètres Y (cf. Figure 38), cependant, ils présentent des fluctuations sur la gamme de fréquences allant de 100 MHz à environ 1 GHz à cause de la précision de mesure qui est limitée sur les PNA dès que les impédances sont fortes ( $\text{real}(Y)$  faibles).

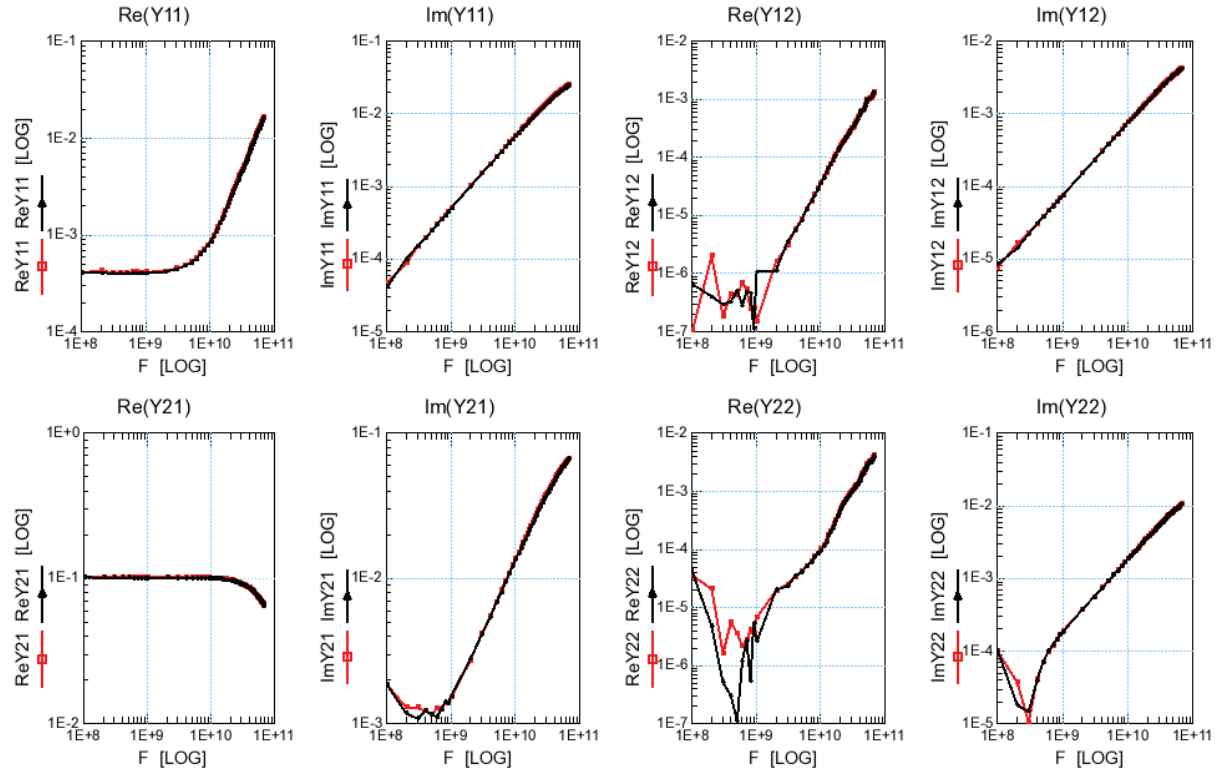


Figure 38 : Comparaison des paramètres Y avant (rouge) et après (noir) stress en fonction de la fréquence.

Après l'extraction des paramètres dynamiques des HBT, nous constatons qu'il n'y a pas d'évolution de la fréquence de transition et de la fréquence maximale d'oscillation pour le pire cas de stress (cf. Figure 39). Ce résultat va à l'encontre des résultats décrits dans la littérature [1][3][6][7][8][9].

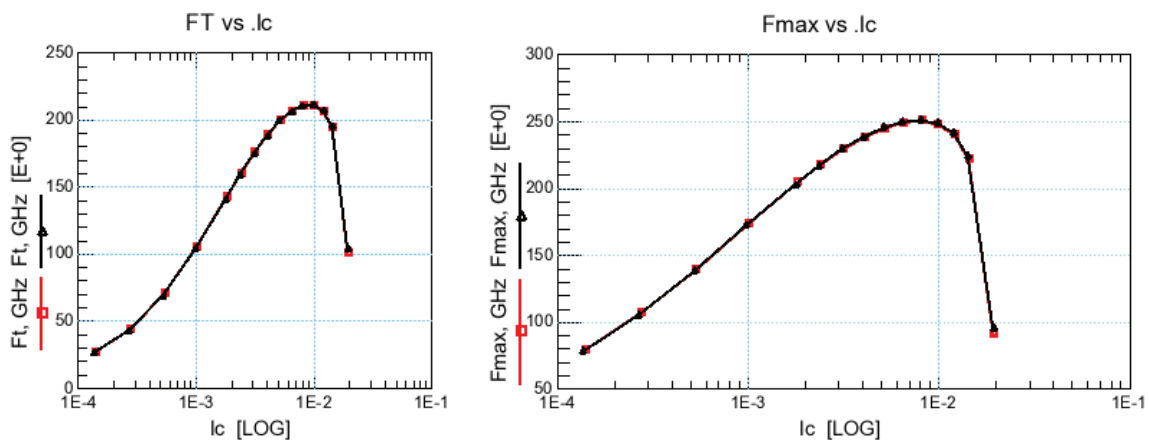


Figure 39 : Comparaison des fréquences de transition (gauche) et maximale d'oscillation (droite) avant (rouge) et après (noir) stress en fonction de la polarisation en courant.

Concernant la dégradation des capacités de jonction, nous étudions l'évolution de la capacité B-E et de la capacité BC. Comme prévu par la littérature, une très faible diminution de la capacité B-E est observée alors que la capacité BC reste inchangée (cf. Figure 40). De plus, cette dégradation n'est pas visible pour la gamme des fréquences millimétriques (à partir de 30 GHz).

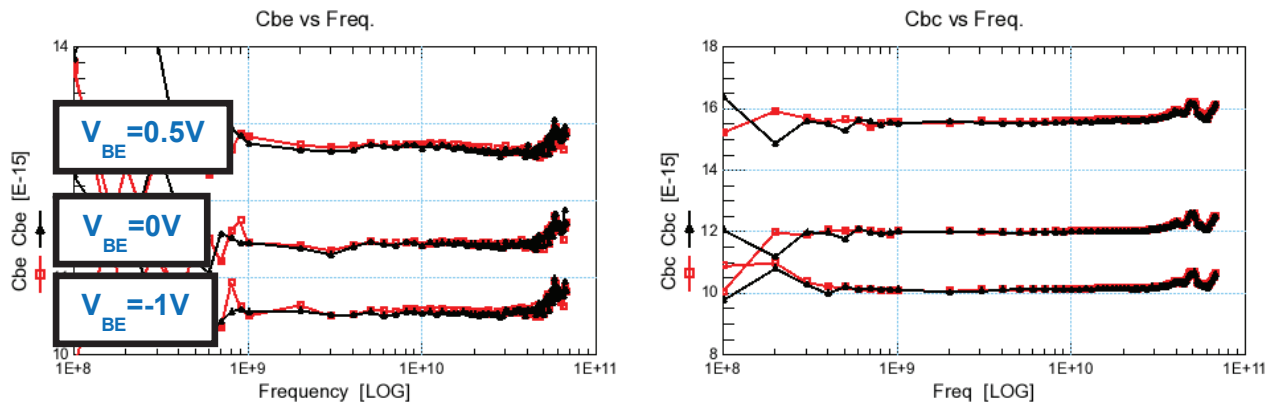


Figure 40 : Comparaison des capacités B-E (gauche) et BC (droite) avant (rouge) et après (noir) stress en fonction de la fréquence.

Nous n'avons pas réalisé de stress AC étant donné les résultats obtenus suite aux stress DC.

## 1.6 Conclusion

Grâce à ses figures de mérite qui se traduisent par de bonnes performances dynamiques et de faibles niveaux de bruit électronique, nous avons vu que les HBT sont préférés au transistor MOS pour les applications fonctionnant dans le domaine des longueurs d'ondes millimétriques.

Les mécanismes de dégradation des HBT sont bien connus. Le phénomène classique de SRH a été introduit dès les premières études de dégradation en mode inverse et étendu aux modes de dégradation direct et mixte alors que le TAT a été mis en évidence pour les modes direct et mixte uniquement. Ces mécanismes mènent à un accroissement du courant base et du bruit basse fréquence.

Les transistors que nous testons au cours de cette étude présentent les mêmes mécanismes de dégradation. Les résultats que nous obtenons sont tout à fait conformes à ceux de la littérature mis à part une dégradation de la fréquence de transition que nous n'obtenons

pas même pour les pires conditions de stress. En effet, ce paramètre est mesuré à des tensions  $V_{BE}$  au-delà de la zone de dégradation du courant de base.

De plus, cette étude permet de mettre en évidence le caractère stochastique de la dégradation induisant ainsi de fortes dispersions des caractéristiques de courant et de bruit après contraintes électriques. Ces résultats conduisent à un choix de modélisation de la fiabilité différent des traditionnels modèles de dégradation et qui va faire l'objet du chapitre 3 qui est dédié à la modélisation de la fiabilité.

Comme nous avons pu décrire dans l'introduction de la thèse, le transistor bipolaire n'est pas le seul composant utilisé pour les applications analogiques. En effet, les transistors MOS se positionnent comme concurrents des transistors bipolaires grâce à leur faible coût de production et leur grande capacité d'intégration. Ainsi, nous introduisons le second chapitre constitué d'une étude de la fiabilité du transistor MOS.

## **Chapitre 2 : La fiabilité des transistors MOS pour les applications Radio Fréquences et aux longueurs d'ondes millimétriques**

L'évolution des technologies CMOS développées à STMicroelectronics permet, de nos jours, d'adresser aussi bien le domaine de l'électronique numérique que le domaine de l'électronique analogique. Pour les radio fréquences, notamment les fréquences millimétriques, les applications visées sont principalement la téléphonie ainsi que les systèmes de communication sans fils tel que le standard wHDMI.

Ce second chapitre concerne la fiabilité du transistor MOS, ainsi, nous développerons l'état de l'art de la dégradation des transistors MOS tout en se focalisant sur les caractéristiques statiques et dynamiques de ce dernier. Puis, nous étudierons et exposerons les résultats de fiabilité obtenus.

## 2.1 Le transistor MOS dans les applications RF et mmW

L'essor de l'industrie de la microélectronique repose essentiellement sur l'utilisation des transistors MOSFET (Metal Oxyde Semi-conductor Field Effect Transistor). Le transistor bipolaire offre de meilleures performances en gain, en fréquence de fonctionnement et en bruit basse fréquence, cependant, la miniaturisation ainsi que la facilité d'intégration et la production à coûts moindre ont fait le succès des transistors MOS.

Dans les applications RF et millimétriques, le transistor fonctionne en régime dynamique. Généralement utilisé en tant qu'amplificateur et il est nécessaire de polariser le transistor à un point d'opération inclus dans les conditions nominales pour pouvoir lui appliquer un signal à amplifier. C'est le régime de saturation (forte tension  $V_{DS}$ ) qui est utilisé pour amplifier un signal car le courant de drain est quasi indépendant de la tension drain-source  $V_{DS}$  et est dépendant quadratiquement de la tension grille-source  $V_{GS}$ . De manière similaire au comportement électrique du transistor bipolaire dans le cadre d'applications RF et millimétriques, les polarisations appliquées amplifiées par la puissance du signal excèdent les conditions de fonctionnement nominales (cf. Figure 41). Ceci induit des conditions de polarisation des transistors MOS très fortes pour les applications analogiques comparé aux polarisations appliquées pour les applications numériques.

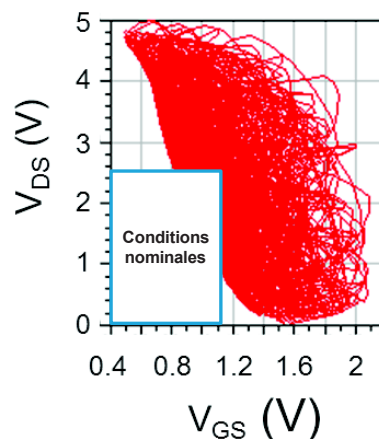


Figure 41 : Exemple de polarisation d'un transistor MOS de type GO2 en fonctionnement dynamique au sein d'un circuit.

L'étude de la fiabilité de ces transistors a débuté depuis plusieurs années avec les phénomènes de claquage dans les isolants (TDDDB pour Time Dependant Dielectric Breakdown), de l'injection de porteurs chauds (HCI pour Hot Carriers Injection) et enfin d'instabilité de la tension de seuil (BTI pour Bias Temperature Instability). Les dégradations

des caractéristiques statiques des transistors MOS induites par ces phénomènes sont bien connues, cependant, les dégradations des caractéristiques RF des transistors MOS sont encore peu développées. Ainsi, cette étude se focalise sur les dégradations de ces caractéristiques.

## 2.2 Le principe de fonctionnement

Le transistor MOS est composé d'un conducteur métallique (M), d'un diélectrique isolant ou d'un oxyde (O) qui représente la grille ainsi que d'un semiconducteur (S). Il est constitué d'un canal de conduction qui se forme entre la source et le drain et qui est contrôlé en tension par la grille isolée du canal par l'oxyde (cf. Figure 42). La grille était, initialement, réalisée avec une couche métallique. De nos jours, c'est du silicium polycristallin dopé à dégénérescence possédant des propriétés électriques semblables à celles d'un métal qui forme la grille. Les jonctions de source et de drain sont ajoutées de chaque côté de la grille pour obtenir un transistor MOS. Ces jonctions font office de réservoirs de porteurs et sont des zones très fortement dopées de signe opposé à celui du substrat.

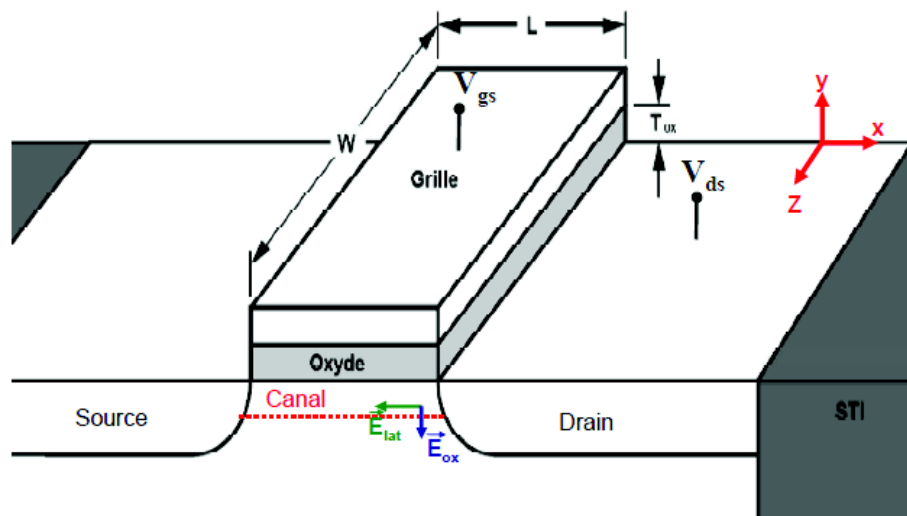


Figure 42 : Schéma d'un transistor MOS [13].

Le transistor est dit bloqué ou interrupteur ouvert si aucune polarisation n'est appliquée sur sa grille ; sa résistivité est élevée et la résistance entre la source et le drain est grande. Une accumulation de charges aux interfaces de l'oxyde grille et du substrat se produit si une différence de potentiel est appliquée sur la capacité MOS entre la grille et le substrat. En appliquant une tension à la grille  $V_{GS}$ , on enrichit le substrat en porteurs minoritaires près de l'interface (même type de porteurs des zones de source et drain). Si la tension  $V_{GS}$  est supérieure à la tension de seuil  $V_T$  (Threshold Voltage), une couche d'inversion qui représente

le canal de conduction se forme dans le substrat sous l'oxyde de grille et la résistivité du canal diminue (cf. Figure 43). Ce schéma est illustratif et n'est pas représentatif des technologies actuelles. Le transistor est dit passant ou interrupteur fermé lorsque la couche d'inversion se crée. Dans un transistor nMOS à canal n, les zones de source et de drain sont des réservoirs d'électrons et le transistor sera passant si le canal d'électrons est formé. Les LDD (Lightly Doped Drain) sont des extensions de jonctions situées sous la grille avec un dopage moins important que les dopages de la source et du drain. Leur but est de mieux contrôler la longueur du canal et le profil de la tension de seuil cependant, les résistances d'accès sont augmentées. Les espaceurs sont réalisés en oxyde de silicium afin d'éviter des courts-circuits entre les différents accès du transistor MOS. Pour un transistor pMOS à canal p, les porteurs majoritaires dans le canal sont des trous.

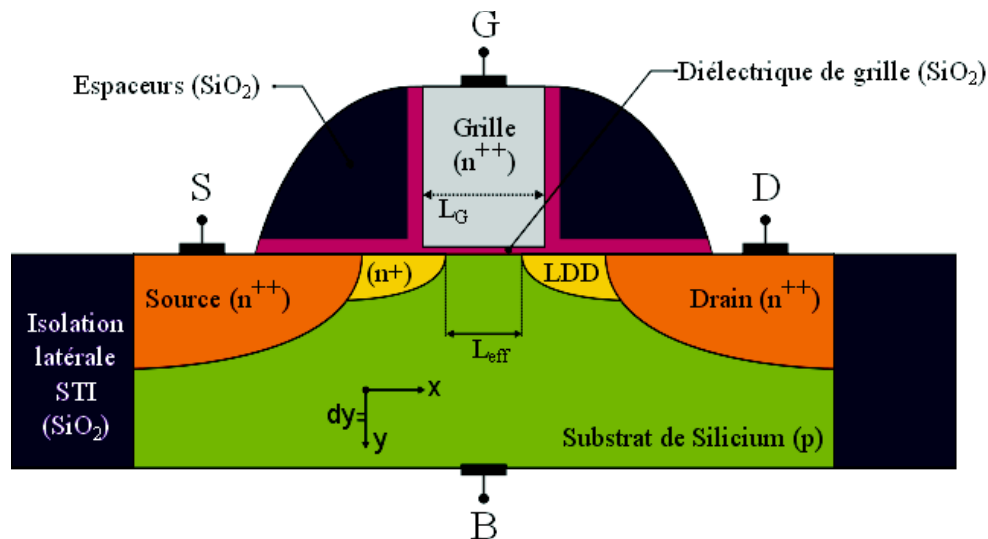


Figure 43 : Schéma simplifié d'un transistor MOS [14].

Dans la région du canal, trois régimes de fonctionnement peuvent être considérés. Ces régimes sont l'accumulation, la déplétion et l'inversion et dépendent de la tension appliquée entre la grille et le substrat (Bulk)  $V_{GB}$ . En effet, cette tension entraîne la modification de la structure de bande proche de l'interface du diélectrique de grille  $SiO_2$  et du substrat  $Si$ . Plus de détails concernant la structure de bande et le potentiel de surface sont présentés en Annexe 1.

Lors du fonctionnement dynamique du transistor, les résistances séries parasites qui permettent les accès au drain, à la source et à la grille, ainsi que les capacités parasites sont des éléments à prendre en compte pour le fonctionnement des circuits analogiques (cf. Figure 44). Cette figure représente le côté du drain, cependant, nous pouvons considérer les mêmes



éléments côté source étant donné que le MOS est symétrique lorsque le drain et la source ne sont pas polarisés.

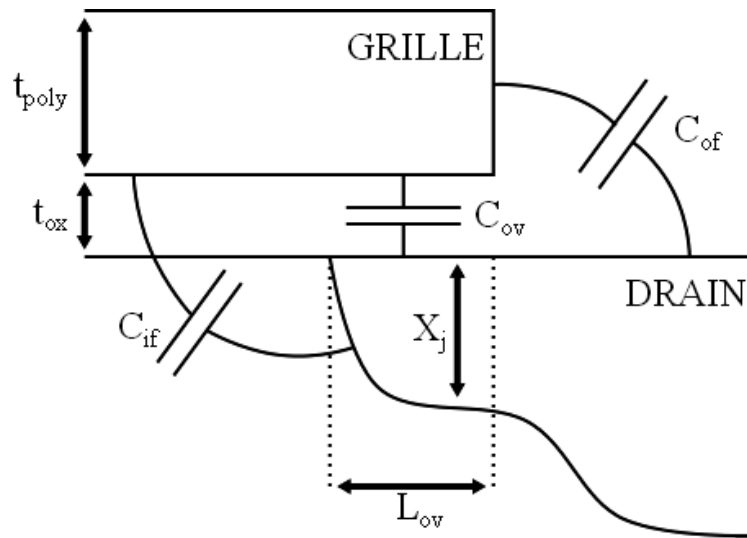


Figure 44 : Schéma représentatif des éléments capacitifs parasites à prendre en compte en régime dynamique [15].

Nous pouvons remarquer que différents contributeurs composent la capacité vue entre la grille et le drain. La capacité de recouvrement  $C_{OV}$  correspondant à la capacité entre la grille et les extensions du drain (LDD), la capacité de l'intérieur de bord (Inner Fringe)  $C_{IF}$  correspondant à la capacité vue entre la grille et la zone de déplétion du canal et la capacité de l'extérieur de bord (Out of Fringe)  $C_{OF}$  est la capacité vue entre le bord de la grille et le drain. Ce sont ces éléments capacitifs et résistifs qui vont jouer un rôle important sur l'adaptation, la réponse en fréquence ainsi que sur le courant de drain et la transconductance. Au cours des parties suivantes, nous étudierons les dégradations de ces différentes caractéristiques dynamiques.

## 2.3 L'état de l'art de la dégradation des caractéristiques du transistor MOS

Cette partie est dédiée à l'état de l'art de la dégradation des caractéristiques statiques et dynamiques du transistor MOS. Cette revue est réalisée pour la dégradation par porteurs chauds.

Dans la littérature, de nombreuses études concernent la dégradation par porteurs chauds [13]–[21]. En effet, ce phénomène suscite l'intérêt des fiabilistes depuis les années 80, période à partir de laquelle la réduction des dimensions des transistors s'est réalisée à tension constante (cf. Figure 45). Cette réduction des dimensions a donc induit une forte

augmentation du champ électrique latéral dans le canal des transistors MOS. Ainsi, nous décrirons les dégradations des caractéristiques statiques des transistors MOS sous l'impact des stress par porteurs chauds, puis, nous présenterons les différentes études bibliographiques reportant la dégradation des caractéristiques dynamiques.

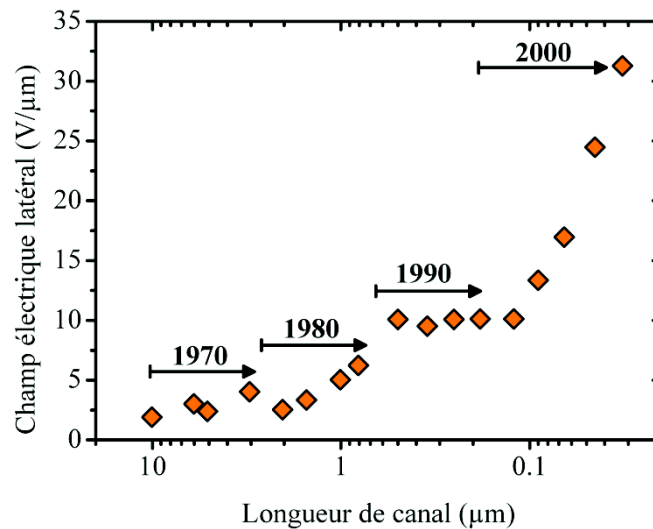


Figure 45 : Evolution du champ électrique en fonction de la longueur de canal [40].

### 2.3.a Les porteurs chauds et les défauts dans la structure MOS

Tout d'abord, la dégradation par porteurs chauds est obtenue en appliquant à la fois une tension sur le drain et sur la grille. Le terme de porteurs chauds est utilisé pour décrire des porteurs qui acquièrent une forte énergie cinétique sous l'effet des forts champs électriques présents dans la structure MOS. Ainsi, ces porteurs très énergétiques peuvent entrer en collision avec les atomes du réseau et transmettre leur énergie à ces derniers. Cette collision entre les porteurs chauds et les atomes du réseau peut entraîner un phénomène d'ionisation par impact qui va générer des paires électron-trou (cf. Figure 46). Par la suite, ce sont les électrons générés ainsi qui vont être injectés vers l'oxyde de grille induisant une génération de défauts alors que les trous seront repoussés vers le substrat générant un courant supplémentaire.

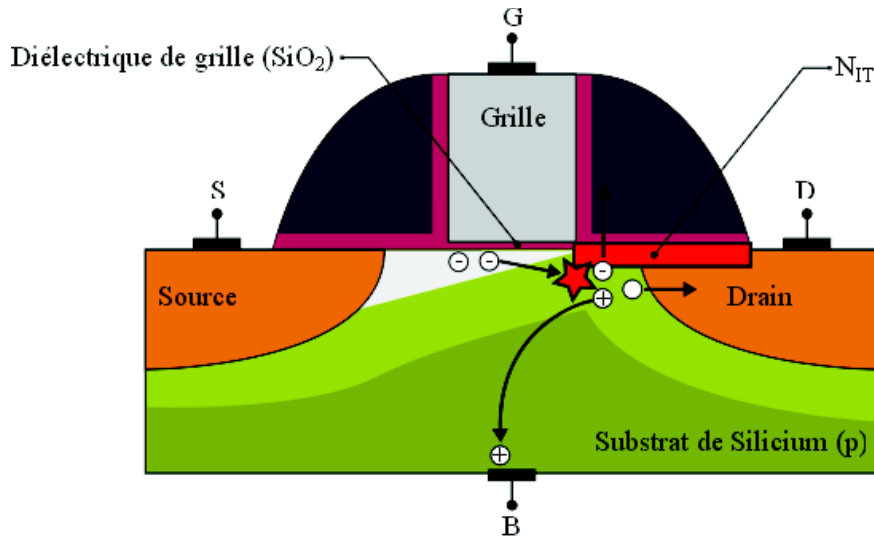


Figure 46 : Schéma de l'injection de porteurs chauds dans un transistor de type nMOS [15].

Les défauts pouvant impacter le fonctionnement du transistor MOS sont de différentes natures et possèdent des localisations variées. En effet, la dégradation par porteurs chauds peut générer aussi bien des défauts à l'interface de l'oxyde de grille que des défauts dans le volume de l'oxyde (cf. Figure 47).

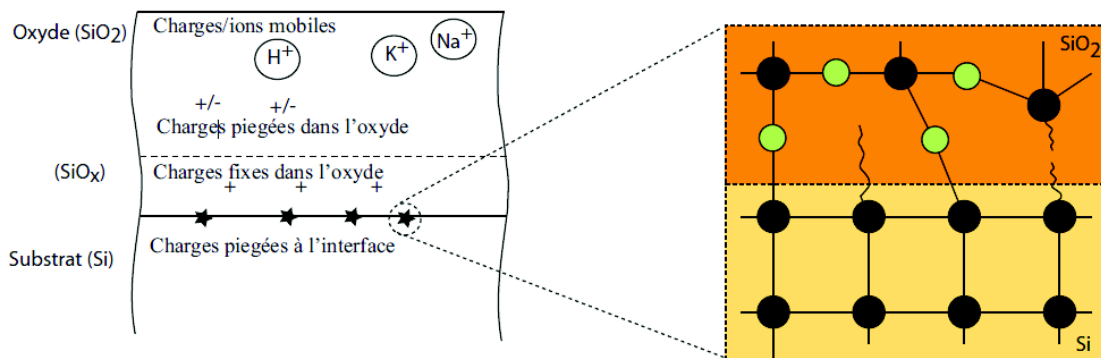


Figure 47 : Les différents pièges de charges dans une structure MOS [22].

Les défauts présents dans la structure MOS peuvent être reportés dans différentes catégories :

- Les défauts extrinsèques : ce sont des défauts liés à des impuretés, des atomes étrangers pouvant pénétrer dans le réseau de l'oxyde  $\text{SiO}_2$ . Ce sont généralement les différentes étapes de fabrication qui induisent ce type de défauts.
- Les défauts intrinsèques : ce sont des défauts issus d'un réarrangement ponctuel des atomes de silicium ou d'oxygène.

- Les charges fixes : ce sont des charges localisées près de l'interface Si-SiO<sub>2</sub> qui influent sur la tension de seuil. Ces charges sont positives et sont liées aux différents procédés durant la fabrication.
- Les charges mobiles : ce sont des charges issues des impuretés ionisées qui sont réparties dans tout l'oxyde.
- Les charges piégées dans l'oxyde : ce sont des charges négatives ou positives ionisées lors de procédés thermiques ou issues de l'injection de porteurs plus ou moins énergétiques.

C'est l'ensemble de ces défauts qui va provoquer la dégradation des caractéristiques du transistor MOS. Différentes techniques de caractérisations existent pour mettre en évidence ces défauts comme par exemple le pompage de charge. Enfin, nous pouvons différencier trois modes de dégradation par porteurs chauds qui sont décrits et représentés par les conditions en tension  $V_D$  et  $V_G$  ainsi que par les conditions en courant de drain  $I_{DS}$  (cf. Figure 48).

- Le mode 1 pour lequel  $V_D > V_G$ , dans ce mode le champ électrique horizontal est élevé et induit une dégradation principalement localisée coté drain. Ce mode est atteint lorsque le courant  $I_{DS}$  est faible et une tension  $V_{GS}$  faible.
- Le mode 2 pour lequel  $V_D = V_G$ , dans ce mode les champs électriques horizontal et vertical sont équivalents et la dégradation se localise coté drain mais aussi à l'interface canal/grille. Ce mode est atteint pour un courant  $I_{DS}$  intermédiaire et une tension  $V_{GS}$  intermédiaire, cependant, ce courant est différent suivant les transistors de type GO1 et GO2.
- Le mode 3 pour lequel  $V_D < V_G$ , dans ce mode seul le champ électrique vertical induit une dégradation principalement localisée à l'interface canal/grille. Ce mode est atteint pour un courant  $I_{DS}$  fort et une tension  $V_{GS}$  forte.

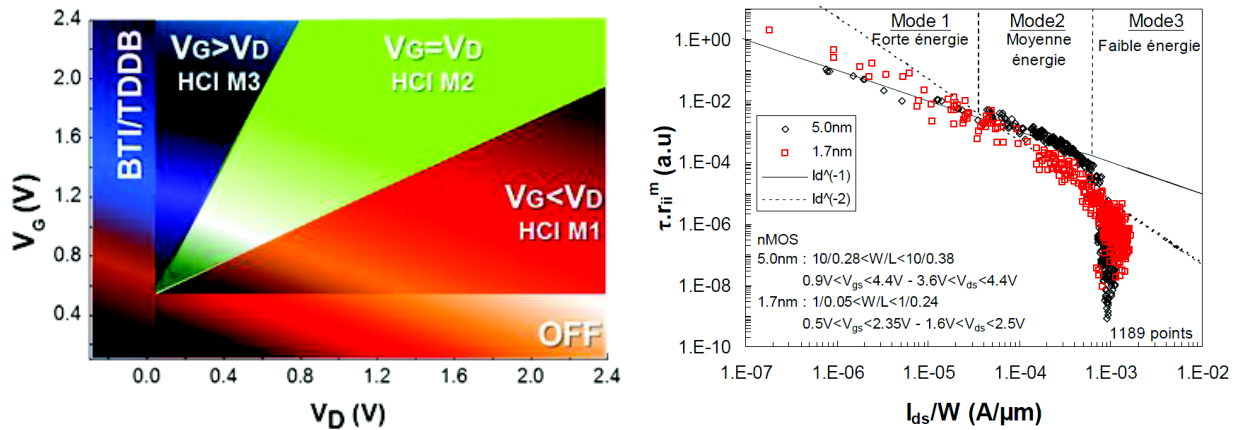


Figure 48 : Récapitulatif des possibles conditions de stress des transistors MOS ainsi que la différenciation des différents modes de l'injection de porteurs chauds [13].

### 2.3.b La dégradation des caractéristiques statiques

Les dégradations des caractéristiques statiques sont visibles sur les différentes caractéristiques I-V du transistor MOS. La physique ainsi que les mécanismes de dégradation par l'injection de porteurs chauds sont bien connus. Contrairement aux caractéristiques dynamiques, l'impact sur les caractéristiques statiques fait l'objet de nombreuses publications [13]–[21].

Suite à une contrainte par l'injection de porteurs chauds, la tension de seuil ainsi que la mobilité sont dégradées. Ceci est le résultat d'une variation de la charge totale de l'oxyde, étant donné la génération (d'états d'interface) de pièges électriquement actifs à l'interface avec le canal du transistor MOS. L'oxyde de grille peut être amené à se dégrader par la création de défauts dans sa structure. Ceci induit la dégradation du courant de drain linéaire et saturé  $I_{DS}$ , ainsi que de la transconductance maximale (cf. Figure 49).

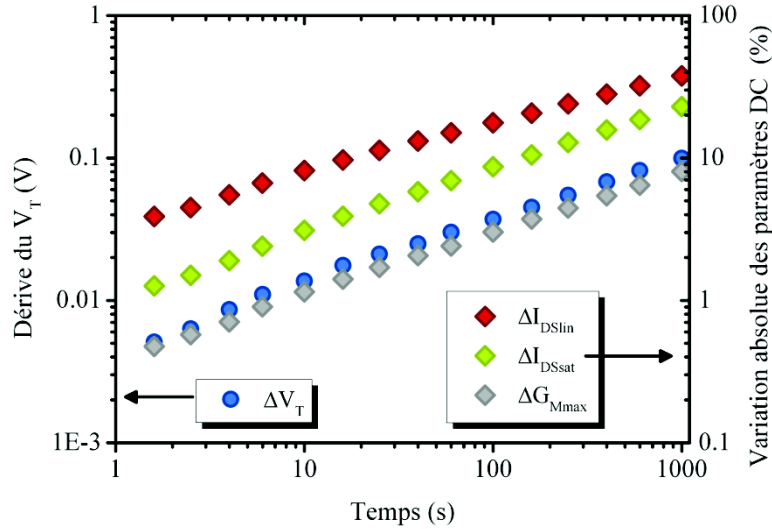


Figure 49 : Courbes montrant la dégradation dans le temps des principaux paramètres statiques [14].

Le courant de grille est aussi dégradé par l'injection de porteurs chauds en plus de la mobilité ainsi que de la tension de seuil [18]. Ce résultat est valable pour des stress DC mais a aussi été obtenu pour des stress AC (cf. Figure 50) [19], [23], [24].

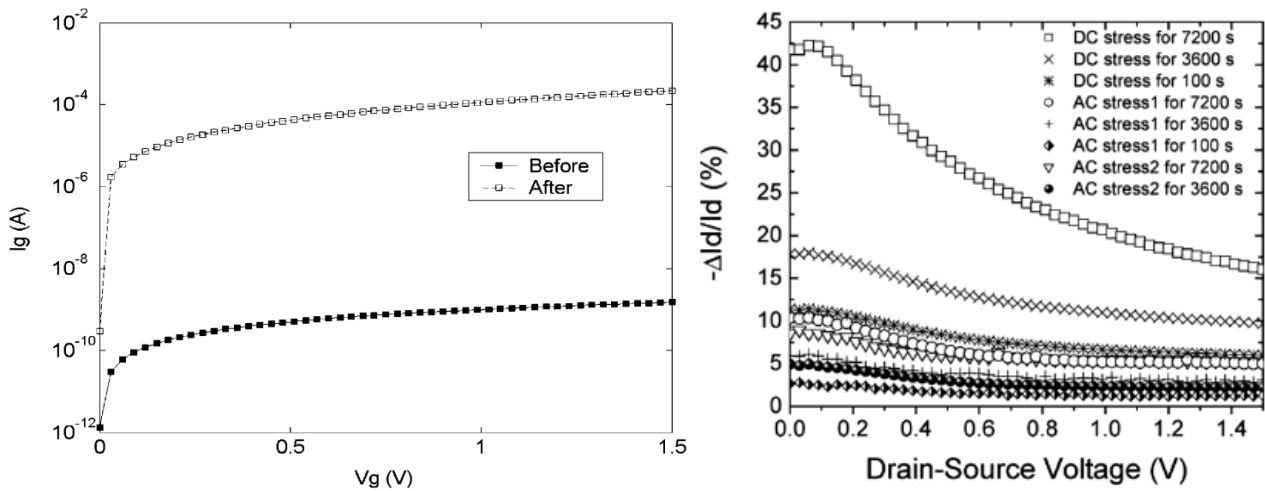


Figure 50 : Dégradations des courants de drain et de grille par l'injection de porteurs chauds pour différentes natures de stress [18].

La littérature récente concernant des stress RF appliqués sur les transistors que nous allons étudier nous indique qu'il a fallu appliquer une forte puissance positionnant le transistor dans sa zone non-linéaire au-delà du point de compression pour obtenir une dégradation conséquente des paramètres DC. Les dégradations des caractéristiques statiques décrites ci-dessus sont bien connues et différents modèles de dégradation existent pour

simuler ces vieillissements, contrairement aux caractéristiques dynamiques du transistor MOS.

### 2.3.c La dégradation des caractéristiques dynamiques

Dans le cadre d'applications millimétriques, nous porterons une attention particulière aux dégradations des différentes caractéristiques dynamiques. Plusieurs études reportent des résultats concernant ces caractéristiques [14], [16]–[21]. Les auteurs cités ci-dessus s'accordent à dire que la transconductance  $g_m$  qui illustre la réponse à l'augmentation de la charge d'inversion ou le gain du dispositif, la fréquence de transition  $f_T$  ainsi que la fréquence maximale d'oscillation  $f_{max}$  se dégradent sous l'impact de l'injection de porteurs chauds (cf. Figure 51).

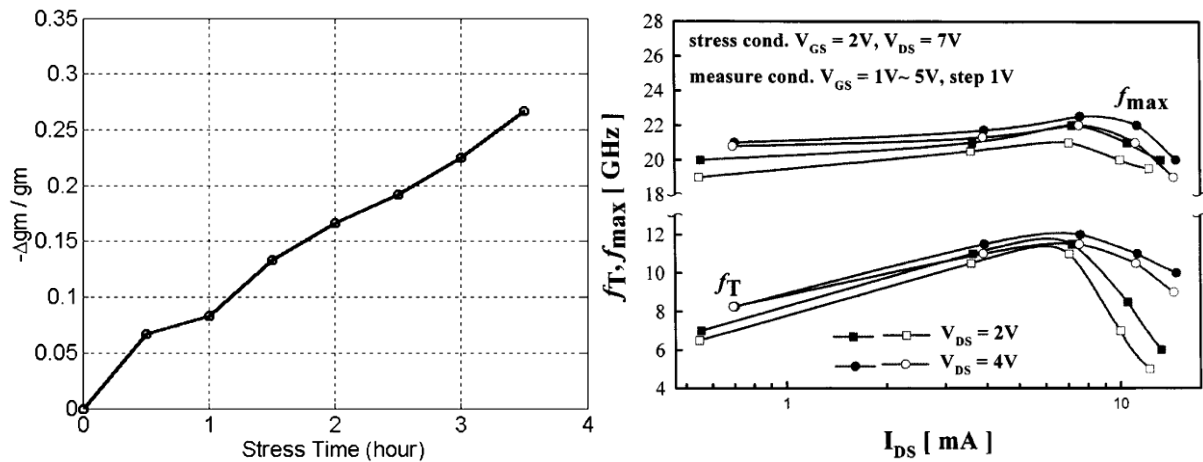


Figure 51 : Dégradations de la transconductance ainsi que des fréquences de transition et d'oscillation maximale par l'injection de porteurs chauds [18].

Les études citées ci-dessus montrent que la conductance de sortie  $G_{DS}$  qui traduit la réponse à la mise en mouvement de la charge d'inversion ainsi que les paramètres S du transistor MOS se dégradent par porteurs chauds (cf. Figure 52). La dégradation de la conductance  $G_{DS}$  est la conséquence directe de la dégradation de la mobilité.

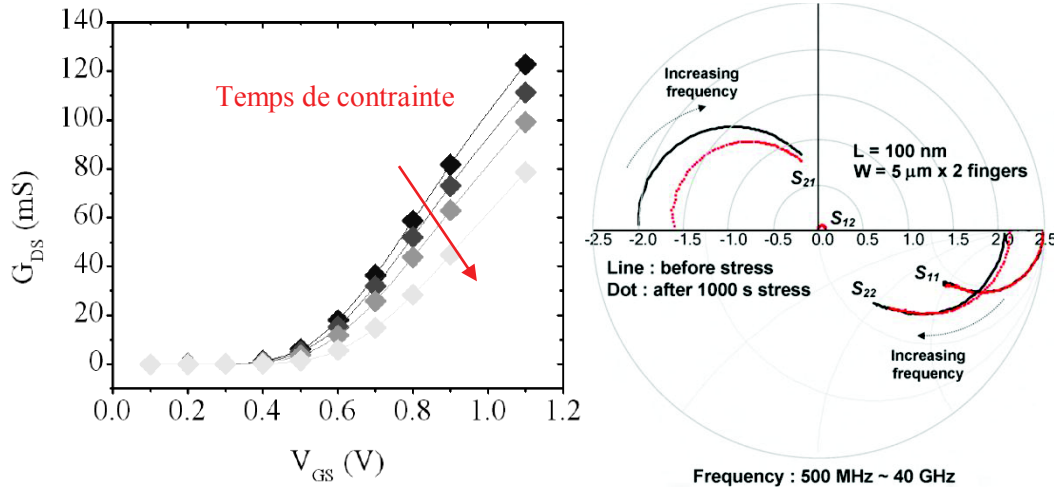


Figure 52 : Degradations de la conductance de sortie ainsi que des paramètres S par l'injection de porteurs chauds [15].

La dégradation de certains éléments résistifs et capacitifs du transistor MOS implique la dégradation des paramètres S. En effet, la littérature montre la dégradation des capacités  $C_{gs}$  [19],  $C_{gg}$  et  $C_{gd}$  [14], [20] (cf. Figure 53).

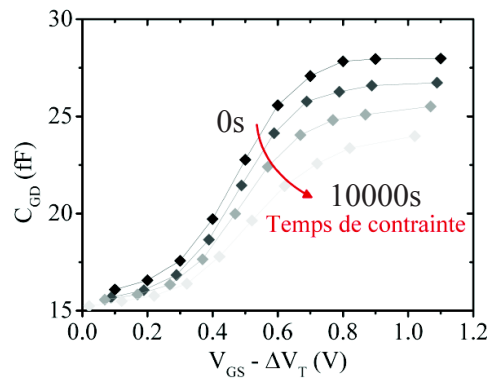


Figure 53 : Degréation de la capacité de jonction grille drain par l'injection de porteurs chauds [15].

Suite à cette étude bibliographique, nous constatons que plusieurs paramètres dynamiques du transistor MOS sont impactés. Pour la suite de notre étude, nous porterons une attention particulière à la dégradation de ces paramètres qui jouent un rôle essentiel dans les circuits RF et millimétriques.

La littérature montre que la résistance du drain  $R_D$  se dégrade à cause d'une génération de défauts au niveau de la zone de recouvrement grille-drain des LDD (Lightly Doped Drain). Certains tests mettent en évidence le vieillissement des composantes extrinsèque de  $C_{GD}$ , la capacité de l'intérieur de bord  $C_{IF}$  et la capacité de recouvrement  $C_{OV}$  [14]. La capacité de



l'intérieur de bord prend en compte les défauts générés au niveau des espaceurs et la capacité de recouvrement prend en compte les défauts générés au niveau des LDD. L'impact des défauts générés au niveau des LDD est traduit par la dégradation de la tension de bande plate de la zone de recouvrement grille-drain. Ces dégradations sont visibles dans les régimes d'inversion et de déplétion alors que la dégradation de la conductance  $G_{ds}$  est mise en évidence uniquement en régime d'inversion.

La majeure partie de la dégradation peut être expliquée par la prise en compte des dégradations de la mobilité, de la tension de seuil  $V_T$  et par la correction de la résistance de drain  $R_d$  qui augmente lors des contraintes par porteurs chauds (cf. Figure 54). Cette même étude nous indique que le mode 3 de la dégradation par porteurs chauds semble être le mode générant le plus de dégradation.

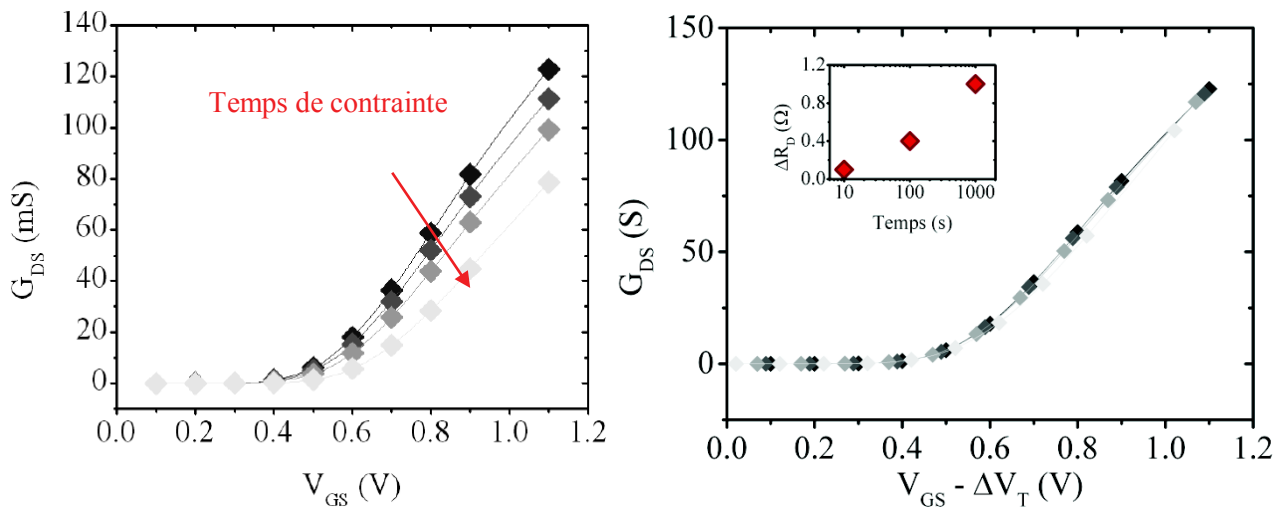
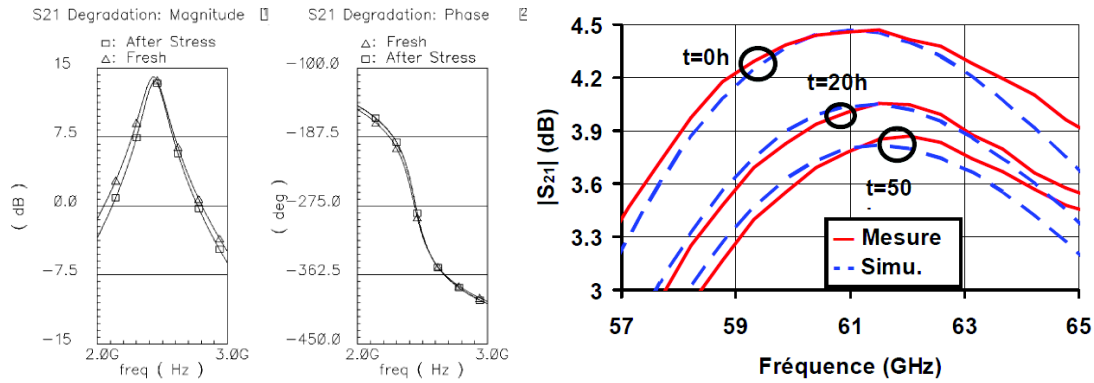


Figure 54 : Dégradation de la conductance de sortie corrigée par la prise en compte des dégradations de la mobilité, de la tension de seuil et de la résistance de drain [15].

Enfin, il y a peu d'études de circuits fonctionnant aux fréquences millimétriques. Une thèse réalisée sur la conception et l'étude de la fiabilité des amplificateurs de puissance fonctionnant à 60 GHz conçus en technologies CMOS065RF a été réalisée et l'auteur a montré des dégradations de l'adaptation en puissance menant à une dérive en fréquence du gain en puissance [25]. Cette étude a été réalisée sur différentes topologies d'amplificateurs de puissance et des amplificateurs à plusieurs étages. Ainsi, l'auteur met en évidence l'effet de la dégradation des paramètres RF sur un circuit fonctionnant aux fréquences millimétriques (cf. Figure 55). Ce résultat a déjà été observé par ailleurs sur un amplificateur faible bruit fonctionnant aux alentours de 2,5 GHz [18].



**Figure 55 : Dégradation de la fréquence au pic du gain  $S_{21}$  pour un LNA [18] (gauche) et un amplificateur de puissance (droite) [25].**

De plus, ces travaux démontrent la validité des modèles quasi-statiques décrivant la dégradation des caractéristiques statiques à 60 GHz en reproduisant la dégradation traduite par la baisse du gain linéaire  $S_{21}$ . C'est principalement ces résultats qui ont motivé l'étude que nous avons menée sur la dégradation des capacités intrinsèques des transistors MOS.

## 2.4 Les expérimentations effectuées

Afin d'assurer la fiabilité des transistors MOS développés en technologie CMOS 40nm, nous mettons en place un protocole expérimental RF permettant l'étude des paramètres du transistor tels que les capacités de jonctions ou la conductance de sortie. De plus, nous procédons à des caractérisations DC permettant d'obtenir des paramètres DC tels que le  $V_T$ , les courants de drain en régime de saturation et en régime linéaire ou encore la transconductance  $G_M$ . Au cours de cette partie, nous présenterons les différents stress appliqués à nos dispositifs ainsi que les caractérisations réalisées.

### 2.4.a L'application du stress et les caractéristiques statiques

Cette étude permet de connaître l'évolution du transistor MOS sous l'effet de stress par porteurs chauds. Ainsi, la caractérisation et l'application du stress se réalise à température ambiante. Les transistors étudiés se décomposent en deux grandes familles dites « GO1 » et « GO2 » (Gate Oxyde). Cette différenciation concerne l'épaisseur de l'oxyde de grille et donc la tenue en tension du transistor MOS. Ceci implique des tensions nominales différentes entre ces deux épaisseurs de grille 2.5V pour les GO2 et 1.1V pour les GO1. Au sein de chacune de ces familles de transistors, nous réalisons les tests de caractérisation et de vieillissement sur des transistors de différentes longueurs de grille mais aussi différentes largeurs (cf. Figure

56). En effet, nous utilisons les transistors MOS de la technologie CMOS040 réalisés dans le but d'extraire les modèles de simulation et de connaître les effets surfaciques et périmétriques.

GO2 L x W [ $\mu\text{m}$ x $\mu\text{m}$ ]	GO2 L x W [ $\mu\text{m}$ x $\mu\text{m}$ ]
0,04 x 120	0,27 x 120
0,045 x 120	0,45 x 120
0,055 x 120	0,54 x 120
0,06 x 120	0,7 x 120
2 x 40	0,27 x 40

Figure 56 : Dimensions des transistors MOS GO1 et GO2 étudiés.

Afin de couvrir la fiabilité des différentes configurations du transistor MOS, nous définissons les stress électriques DC dans les trois modes du porteur chaud.

Ainsi, les stress définis sont différents pour les GO1 et les GO2 (cf. Figure 57 et Figure 58), cependant la durée du stress ainsi que les temps de caractérisation sont les mêmes. A savoir, la durée totale est de 10000 secondes et les caractérisations sont réalisées à [0, 1, 4, 10, 40, 100, 400, 1000, 4000, 10000] secondes afin de connaître la cinétique de dégradation.

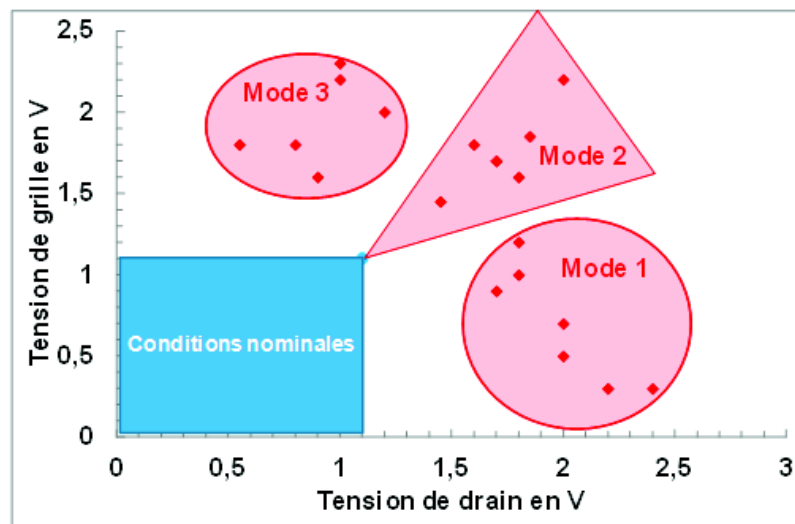


Figure 57 : Stress appliqués sur les transistors MOS de type GO2.

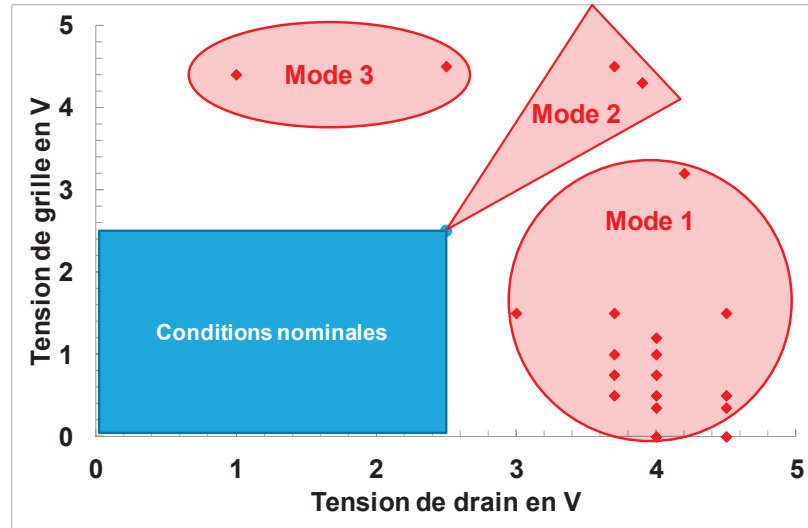


Figure 58 : Stress appliqués sur les transistors MOS de type GO1.

Concernant la caractérisation DC, ce sont des mesures qui permettent d'obtenir la caractéristique  $I_D(V_G)$  pour différentes tensions  $V_{DS}$ .

#### 2.4.b Les caractéristiques dynamiques

La dégradation des caractéristiques dynamiques du transistor MOS nécessite, tout comme le transistor bipolaire, des mesures de paramètres S. Le protocole de mesures est similaire au protocole décrit dans la partie 1.4.c. En effet, l'étude des caractéristiques dynamiques des transistors MOS est réalisée pour une gamme de fréquences allant de 100 MHz à 45 GHz et pour une faible puissance de -40 dBm. La réalisation de ces mesures nécessite une étape de calibration de type SOLT, ainsi qu'une étape d'épluchage (de-embedding) à travers deux structures dédiées nommées OPEN et SHORT afin d'exploiter ces mesures.

Le but étant de connaître l'évolution des paramètres S du transistor MOS, nous caractériserons les transistors MOS au cours du stress DC sans soulever les sondes de test afin de ne pas induire de modification de la résistance de contact entre ces sondes et les plots. Ces mesures sont réalisées sous différentes conditions de polarisation (cf. Figure 59 et Figure 60).

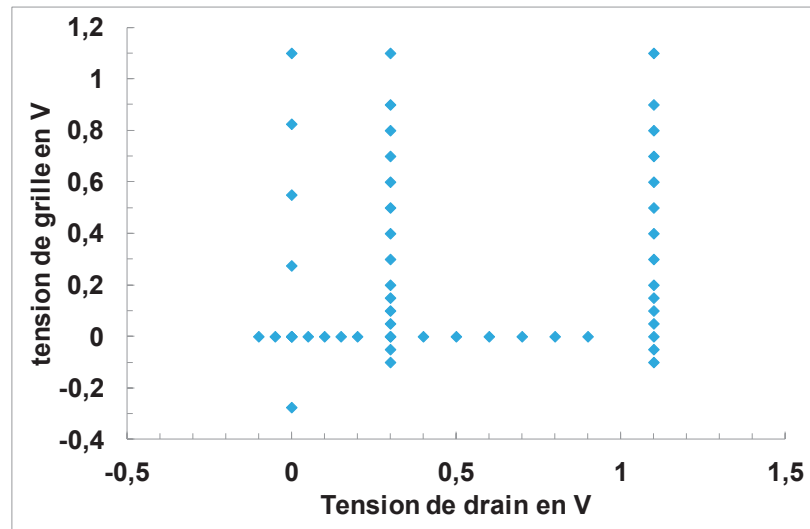


Figure 59 : Conditions de polarisation des transistors MOS de type GO1 au cours des mesures de paramètres S.

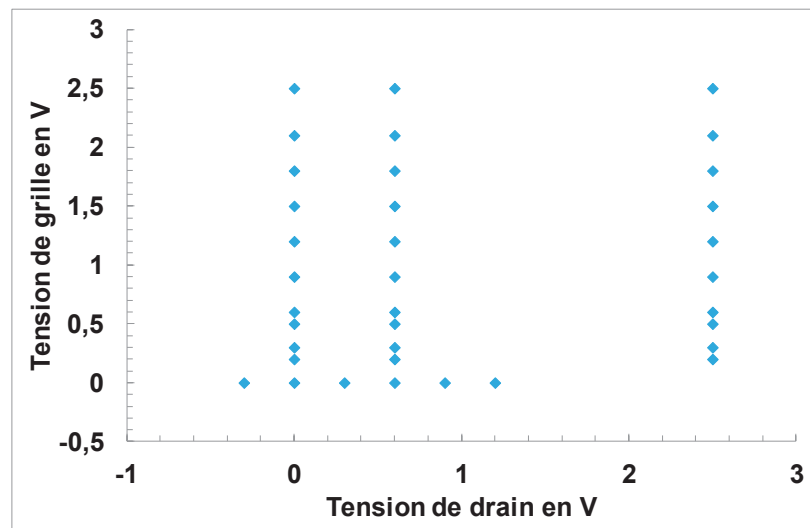


Figure 60 : Conditions de polarisation des transistors MOS de type GO2 au cours des mesures de paramètres S.

Nous baserons l'étude des paramètres RF du transistor MOS à travers les éléments du schéma équivalent en petit signal (cf. Figure 61). Les mesures de paramètres S nous permettront d'extraire les différents éléments du modèle équivalent et pour différentes conditions d'utilisation du transistor MOS.

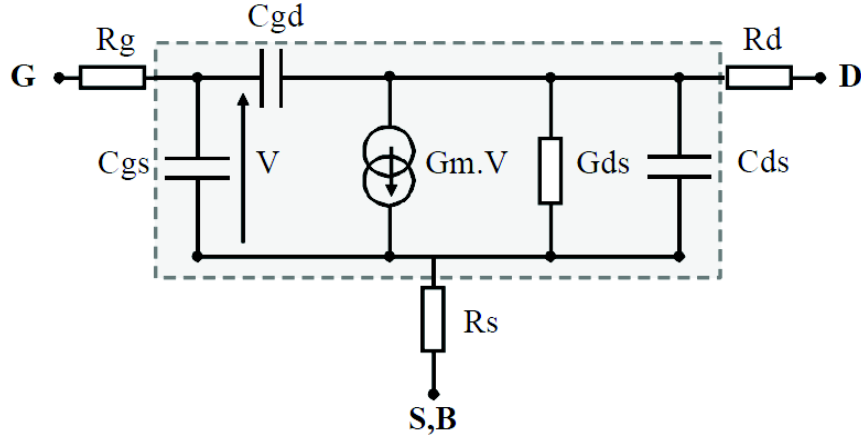


Figure 61 : Schéma équivalent du transistor MOS en petit signal [14].

$$Y = \begin{bmatrix} j\omega(C_{GS} + C_{GD}) & -j\omega C_{GD} \\ G_M - j\omega C_{GD} & G_{DS} + j\omega(C_{DS} + C_{GD}) \end{bmatrix} \quad (7)$$

A travers la matrice admittance  $Y$ , nous obtenons l'expression des capacités  $C_{GD}$ ,  $C_{GS}$  et  $C_{DS}$ . Etant donné que nos structures de test possèdent une source et un substrat reliés à la masse, la capacité  $C_{GS}$  comprend aussi la capacité  $C_{GB}$  correspondant à la capacité Grille Substrat (Bulk). La transconductance  $G_M$  ainsi que la conductance de sortie  $G_{DS}$  sont aussi obtenues à travers la matrice  $Y$  alors que les résistances sont extraites à partir de la matrice impédance  $Z$ . L'extraction des résistances d'accès ainsi que leur impact sur la réponse en fréquence des circuits est étudiée (cf. Annexe 2). C'est à partir de ces valeurs extraites que nous étudierons l'évolution des caractéristiques RF du transistor MOS dans la partie suivante.

## 2.5 L'évolution des caractéristiques du transistor MOS

Cette partie est dédiée à la fiabilité des caractéristiques statiques et dynamiques du transistor MOS lorsqu'ils sont soumis à des stress par porteurs chauds. Nous présenterons aussi la méthodologie d'extraction ainsi que les hypothèses émises dans le cadre de cette étude. La dernière partie sera constituée d'une étude de localisation des défauts et une mise en corrélation des dégradations des caractéristiques statiques et dynamiques. Etant donné l'étendu de ce travail de caractérisation, les résultats de tous les stress et de toutes les géométries ne sont pas présentés. Cependant, les résultats présentés sont représentatifs des stress qui ont conduit à une dégradation car les stress n'ont pas généré des dégradations de façon systématique.

### 2.5.a La dégradation des caractéristiques statiques

Nous allons présenter les dégradations des caractéristiques de la tension de seuil  $V_T$ , du courant de drain en régime linéaire ainsi que la transconductance maximale pour les transistors de type GO1 et GO2. Intéressons-nous à l'effet de la géométrie du transistor sur la dégradation. Pour cela, nous appliquons le même stress en tension électrique sur différentes géométries de transistors. Les résultats présentés ci-dessus sont acquis à travers une dégradation en mode 1.

Nous pouvons dans un premier temps nous intéresser au courant de drain en régime linéaire et à la transconductance maximale qui représentent à la fois les caractéristiques du canal et du drain (cf. Figure 62 et Figure 63). La transconductance maximale est directement extraite à partir des courbes  $I(V)$ . Pour les transistors de type GO1 et GO2, la dégradation du courant de drain se traduit par sa diminution qui est d'autant plus importante que la géométrie est petite. Il en est de même pour la transconductance maximale qui diminue aussi. La tension de seuil est notre indicateur de la dégradation et la génération de défauts non liés au drain (cf. Figure 64 et Figure 65). De manière générale, la dégradation se traduit par une augmentation de la tension de seuil. Il faut donc amener un plus grand potentiel à la grille afin d'obtenir la même charge d'inversion. La dégradation par porteurs chauds sature pour les temps de stress longs signifiant une saturation de la création de défauts.

Concernant les transistors MOS de type GO1, la dégradation de la tension de seuil est d'autant plus importante que le transistor est petit pour un stress donné, de plus, le canal est impacté par des stress du mode 1 ( $V_D > V_G$ ) de la dégradation par porteurs chauds pouvant se traduire par une génération de défauts au sein de l'oxyde de grille ou du canal. Pour les transistors de type GO2, seule la plus petite géométrie montre une dégradation du canal alors que les autres géométries présentent de faibles dégradations de la tension de seuil. Pour ces dernières, ce résultat nous indique ainsi une dégradation du courant de drain et de la transconductance du transistor MOS exclusivement liée à des défauts localisés au sein du drain. A présent, nous appliquons un stress du mode 1 et du mode 3 ( $V_D < V_G$ ) pour étudier les effets de ce dernier mode lié à une dégradation par porteurs chauds.

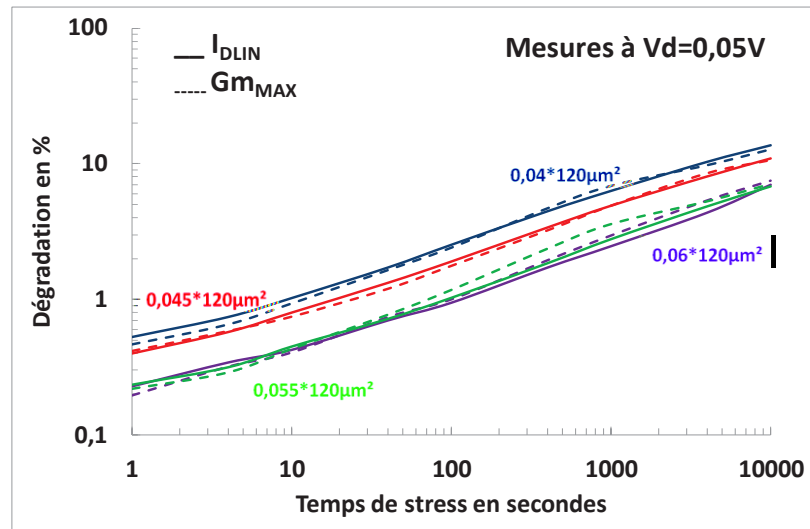


Figure 62 : Evolution de la transconductance maximale et du courant de drain linéaire du transistor MOS de type GO1 suivant différentes géométries.

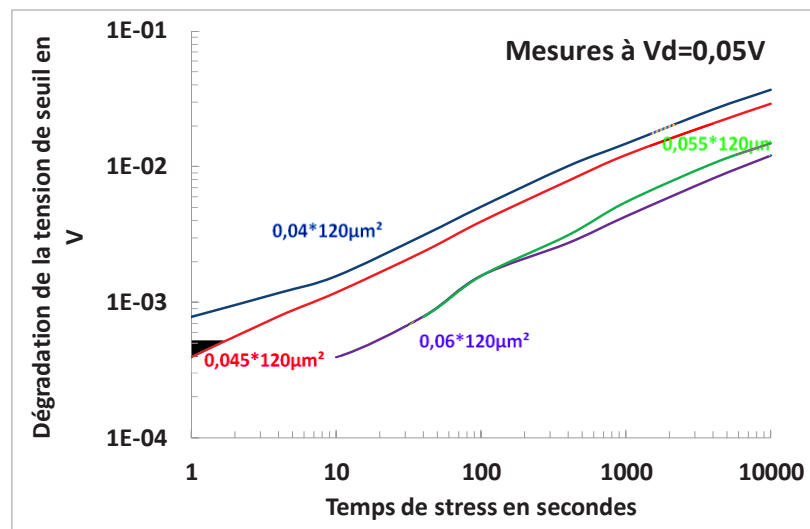


Figure 63 : Evolution de la tension de seuil MOS de type GO1 suivant différentes géométries.



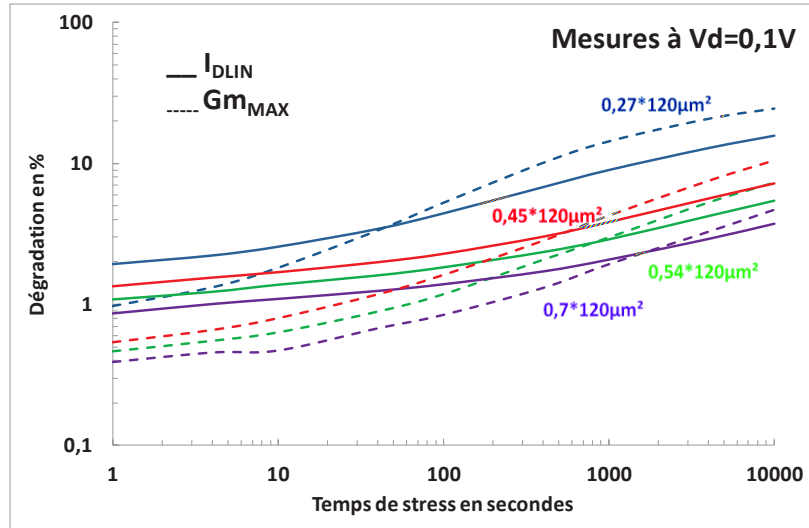


Figure 64 : Evolution de la transconductance maximale et du courant de drain linéaire du transistor MOS de type GO2 suivant différentes géométries.

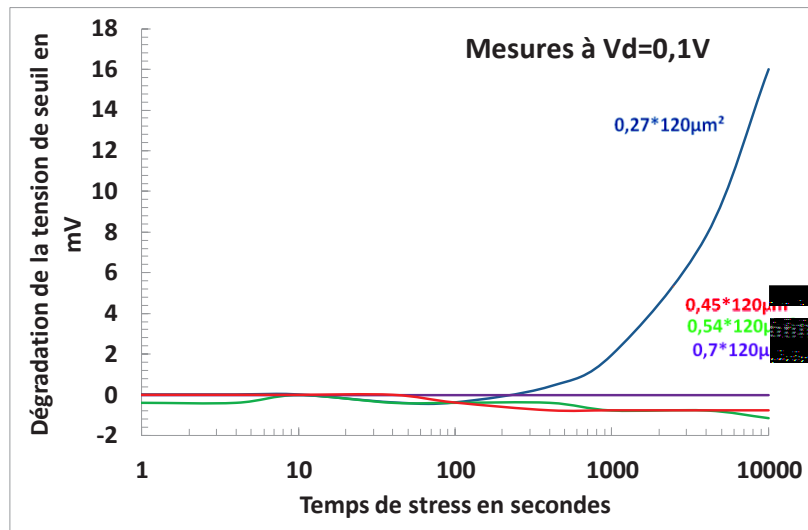


Figure 65 : Evolution de la tension de seuil MOS de type GO2 suivant différentes géométries.

L'analyse des résultats que nous obtenons indique que le mode 3 de la dégradation par porteurs chauds impacte de manière moins significative la tension de seuil des transistors MOS de type GO1 et GO2 que le mode 1 (cf. Figure 66 et Figure 67). En effet, peu de stress du mode 3 parmi ceux réalisés mettent en évidence des dégradations du canal. Cependant, les dégradations du courant de drain en régime linéaire ainsi que la transconductance maximale du mode 3 sont similaires aux dégradations du mode 1. Ces dégradations du mode 3 peuvent donc être attribuées à des défauts principalement situés au sein du drain.

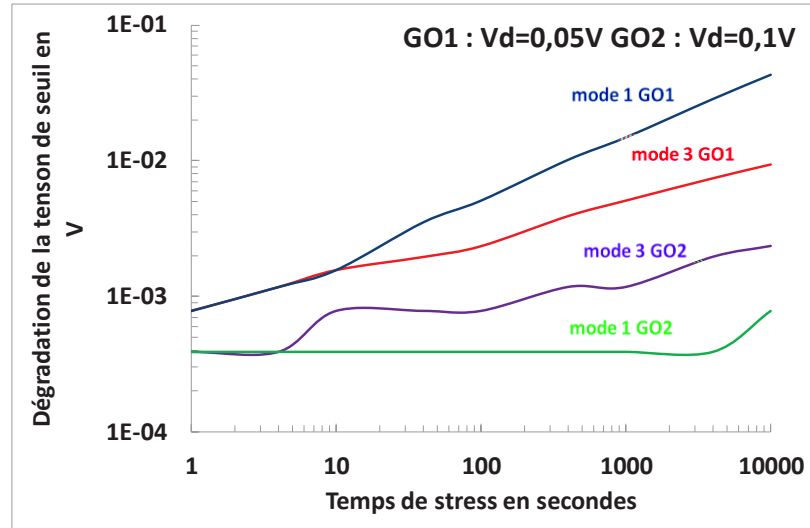


Figure 66 : Comparaison de l'évolution de la tension de seuil des transistors MOS de type GO1 et GO2 sous stress par porteurs chauds suivant le mode 1 et 3.

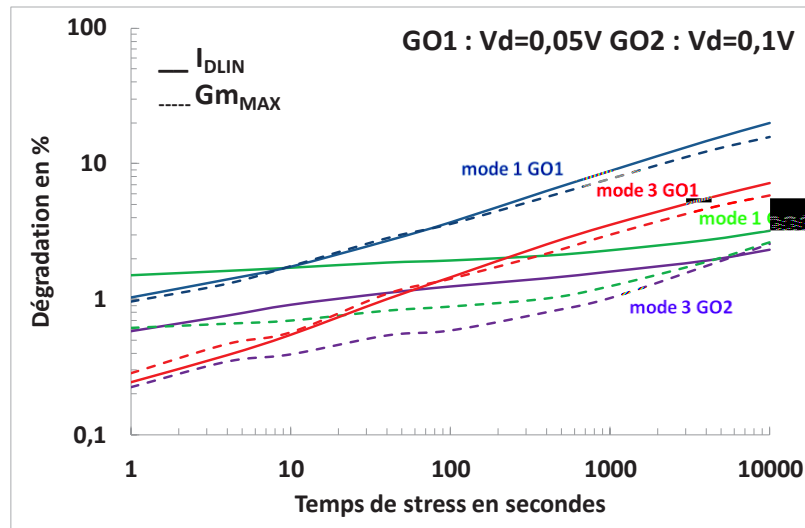


Figure 67 : Comparaison de l'évolution de la transconductance maximale et du courant de drain linéaire des transistors MOS de type GO1 et GO2 sous stress par porteurs chauds suivant le mode 1 et 3.

## 2.5.b La dégradation des caractéristiques dynamiques et la localisation des défauts

Nous étudions le comportement de la dégradation des paramètres RF du transistor MOS en fonction de la géométrie et de la nature du stress. Avant cela, nous rappelons les expressions des différentes capacités du schéma équivalent extraites en fonction de la matrice  $Y$  puis nous détaillerons la contribution des différentes capacités et charges de la caractéristique  $C(V)$  du transistor MOS pour différentes tensions  $V_{DS}$ .

$$C_{GG} = \frac{Im(Y_{11})}{\omega} \quad (8)$$

$$C_{GD} = -\frac{Im(Y_{12})}{\omega} \quad (9)$$

$$C_{GS} = C_{GG} - C_{GD} \quad (10)$$

Nous pouvons écrire :

$$C_{GG} = C_{GS} + C_{GB} + C_{GD} \quad (11)$$

Nous obtenons dans un premier temps la capacité  $C_{GB}$  à travers les mesures à  $V_{DS}$  nul car sans polarisation au drain, nous supposons que le transistor MOS est symétrique du côté de la source et du drain. Dans cette condition :

$$C_{GS} = C_{GD} \text{ et } C_{GB} = C_{GG} - 2 C_{GD} \quad (12)$$

Nous obtenons ainsi la capacité  $C_{GB}$  pour la gamme en tension  $V_{GS}$ . Cette capacité extraite est à prendre en compte afin de garder un maximum de précision sur les valeurs des capacités  $C_{GS}$  et  $C_{GD}$ . A présent, analysons l'évolution de la capacité  $C_{GD}$  en fonction des tensions  $V_{GS}$  et  $V_{DS}$  (cf. Figure 68 et Figure 69).

La valeur de la capacité  $C_{GD}$  est faible pour les  $V_{GS}$  les plus faibles et inférieurs à la tension de seuil car le canal n'est pas encore créé par la contribution des charges d'inversion. Ce sont les trois contributions des capacités de l'intérieur et de l'extérieur de bord ainsi que la capacité de recouvrement qui forment cette caractéristique  $C(V)$ .

Pour des  $V_{GS}$  plus grands que la tension de seuil, plus  $V_{GS}$  augmente, plus nous avons de charges d'inversion dans le canal menant à une augmentation de la caractéristique de  $C_{GD}$  du transistor MOS en fonction de  $V_{GS}$ . La capacité de recouvrement Grille Drain et la capacité de l'extérieur de bord ainsi que les charges d'inversion sont les contributeurs de la capacité vue entre la grille et le drain pour les  $V_{GS}$  plus grands que la tension de seuil. En effet, les charges d'inversion masquent la contribution de la capacité de l'intérieur de bord. Ces constatations sont aussi valables pour la capacité  $C_{GS}$ .

Concernant l'effet de la tension  $V_{DS}$ , nous constatons que c'est la caractéristique à  $V_{DS}$  nul qui montre les plus grandes valeurs de la capacité  $C_{GD}$  pour la gamme de  $V_G$  étudiée et qui est égale à la caractéristique de  $C_{GS}$  à  $V_{DS}$  nul. En effet, à  $V_{DS}$  nul, les charges d'inversion

sont localisées sur toute la longueur du canal. Plus  $V_{DS}$  augmente, plus le canal se pince laissant ainsi place à une zone de déplétion côté drain. C'est cette déplétion qui fait diminuer le nombre de charges vues entre la grille et le drain se traduisant par une diminution de la capacité  $C_{GD}$  pour des tensions  $V_{DS}$  croissantes. Ainsi, une partie des charges de la zone en déplétion vont se retrouver côté source d'où l'augmentation de la capacité  $C_{GS}$  pour des tensions  $V_{DS}$  croissantes.

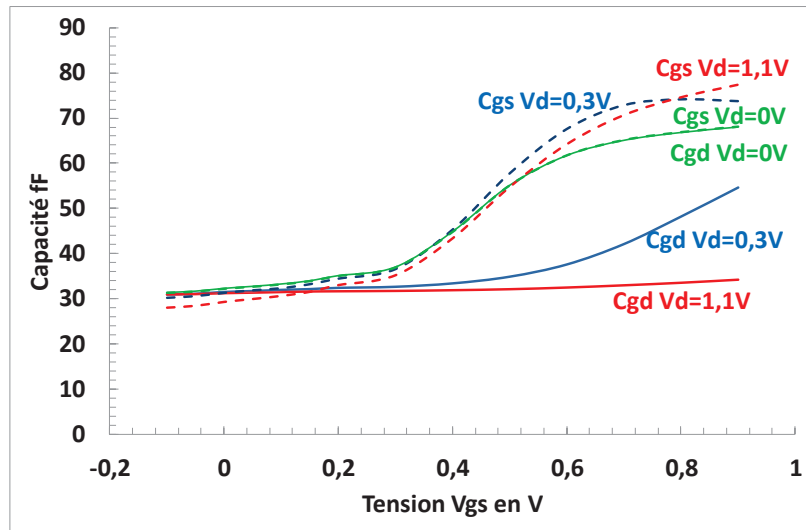


Figure 68 : Tracés de l'évolution de la caractéristique  $C(V)$   $C_{GD}$  et  $C_{GS}$  à différentes tensions  $V_{DS}$  pour les transistors de type GO1.

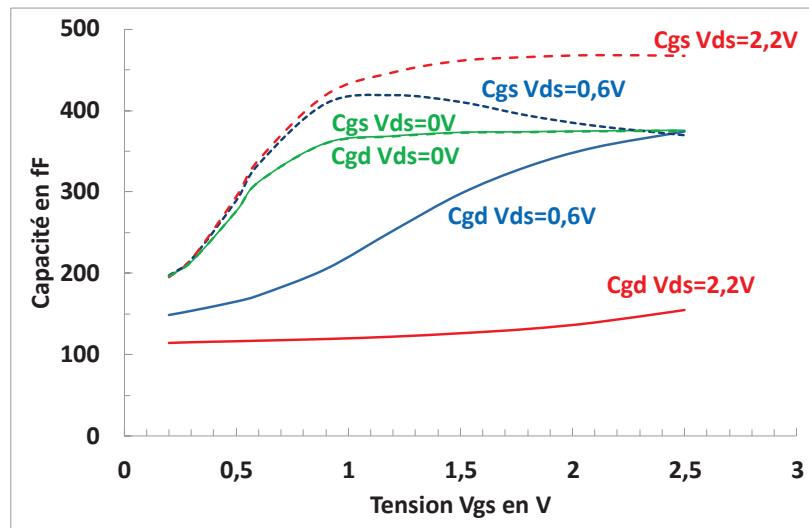


Figure 69 : Tracés de l'évolution de la caractéristique  $C(V)$   $C_{GD}$  et  $C_{GS}$  à différentes tensions  $V_{DS}$  pour les transistors de type GO2

Au cours de notre étude nous ferons l'hypothèse que la capacité grille substrat  $C_{GB}$  ainsi que les capacités de l'extérieur de bord côté source et côté drain des NMOS ne sont pas

impactées par le vieillissement par porteurs chauds. Concernant l'analyse des dégradations de ces capacités, nous savons que la charge d'inversion évolue au cours du stress lorsque la tension de seuil évolue. Ainsi, il faut prendre en compte la variation de la charge d'inversion au sein du canal avant de connaître les évolutions des capacités parasites du transistor MOS.

Intéressons-nous à l'évolution des caractéristiques des capacités lors d'un stress par porteurs chauds en mode 1. Nous avons choisi de présenter les courbes des capacités  $C_{GD}$  et  $C_{GS}$  en fonction de  $V_{GS}$  à  $V_{DS}$  nul car elles contiennent le plus d'informations concernant la dégradation et car elles permettent aussi d'obtenir les déplacements des charges d'inversion au sein du canal. Nous allons donc utiliser cette caractéristique  $C(V)$  afin d'en déduire les dégradations du transistor.

Dans un premier temps, reprenons la caractéristique  $C(V)$  pour la gamme de tensions  $V_{GS}$  faible et inférieure à la tension de seuil. Rappelons que dans cette gamme de tension, les contributeurs de la caractéristique  $C(V)$  pouvant se dégrader est la capacité de l'intérieur de bord ainsi que la capacité de recouvrement. Alors que, pour les  $V_{GS}$  supérieurs à la tension de seuil, les contributeurs sont les charges d'inversion et la capacité de recouvrement Grille Drain. Ainsi, la dégradation de la capacité totale  $C_{GD}$  à faible et à fort  $V_{GS}$  nous permettra la localisation de la dégradation.

Pour la gamme de tensions  $V_{GS}$  inférieures à la tension de seuil, les variations ne montrent pas de dégradations de la capacité  $C_{GD}$  des transistors de type GO1 (cf. Figure 70). Par contre, les dégradations des transistors de type GO2 sont différentes, en effet, une forte dégradation est présente pour les tensions  $V_{GS}$  faibles menant à une diminution de la caractéristique  $C(V)$  (cf. Figure 72).

Concernant les  $V_{GS}$  supérieures à la tension de seuil, l'évolution de la caractéristique  $C(V)$  est présente pour les deux types de transistors. Une part importante de cette variation est due à un transfert de charges du drain vers la source (cf. Figure 71 et Figure 73), et ce, malgré que la tension  $V_{DS}$  soit nulle, ce résultat met en évidence l'asymétrie du transistor MOS après dégradation. Suite à la correction des charges que nous apportons, la partie de dégradation restante est attribuée à la dégradation des contributeurs de la capacité de grille grain. De ce fait, nos résultats permettent d'établir que la dégradation par porteurs chauds impacte la capacité de recouvrement grille drain des transistors de type GO1 et GO2.

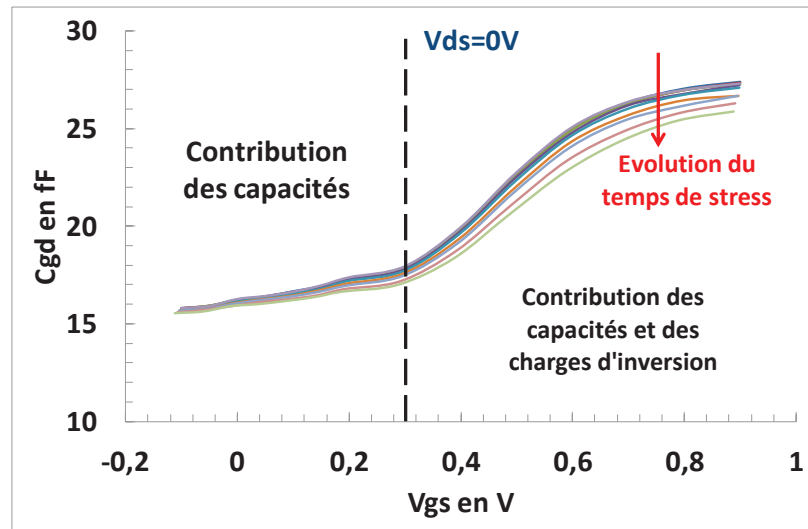


Figure 70 : Dégradations de la capacité  $C_{GD}$  des transistors de type GO1 sous l'impact des porteurs chauds.

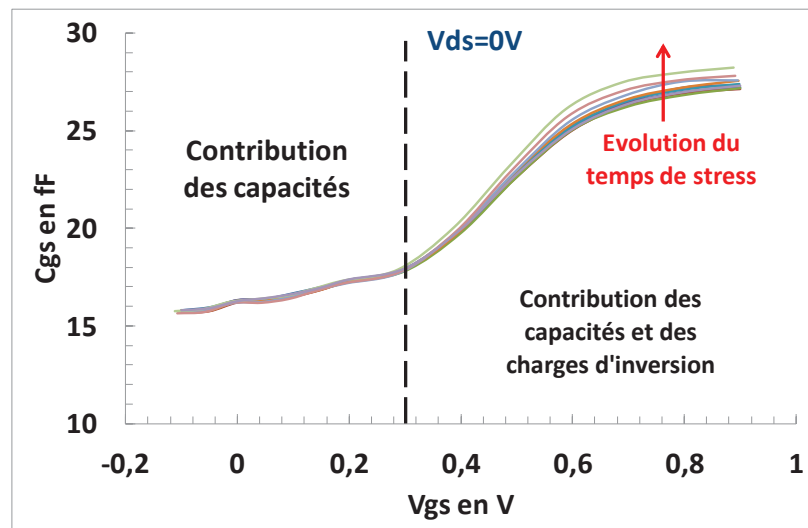


Figure 71 : Dégradations de la capacité  $C_{GS}$  des transistors de type GO1 sous l'impact des porteurs chauds.

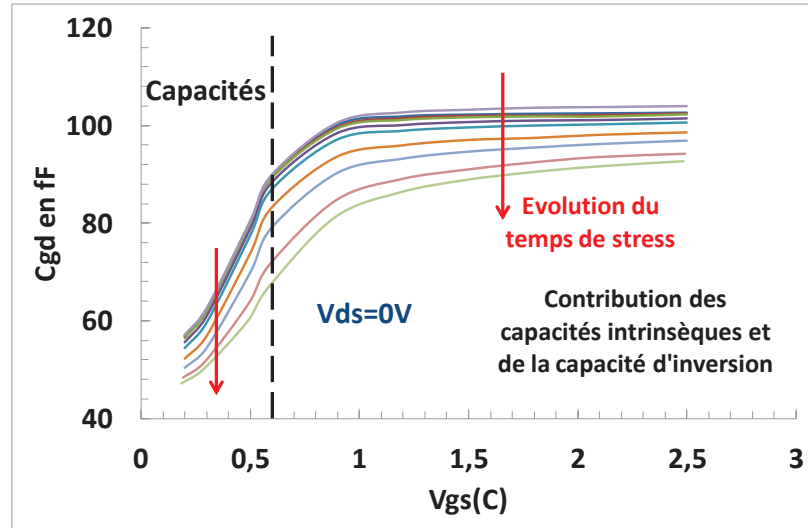


Figure 72 : Dégradations de la capacité  $C_{GD}$  des transistors de type GO2 sous l'impact des porteurs chauds.

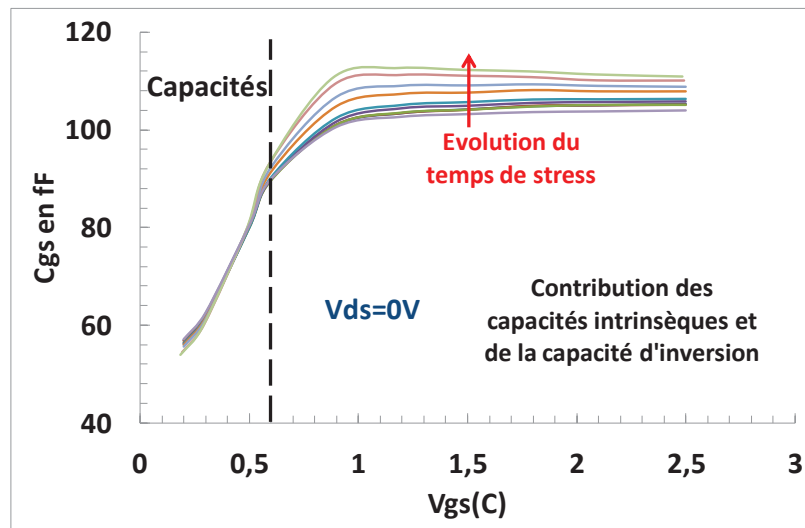


Figure 73 : Dégradations de la capacité  $C_{GS}$  des transistors de type GO2 sous l'impact des porteurs chauds.

Nous pouvons ainsi résumer les principales tendances :

- C'est la capacité à faible  $V_{GS}$  des transistors de type GO2 qui se dégrade le plus. Les investigations menées ne permettent pas d'expliquer pourquoi la dégradation n'est pas visible à faibles  $V_{GS}$  pour les transistors de type GO1.
- Pour les deux types GO1 et GO2, la capacité à des tensions  $V_{GS}$  supérieures à la tension de seuil se dégrade.

A présent, étudions les effets géométriques à travers différentes géométries de transistors et les effets des modes de stress sur la dégradation de la capacité Grille-Drain, pour cela, nous allons étudier le comportement de la capacité pour des tensions  $V_{GS}$  supérieures à

la tension de seuil. En appliquant le même stress sur différentes géométries de transistors, nous obtenons des résultats conformes aux résultats obtenus lors de l'étude des caractéristiques statiques. En effet, la dégradation est d'autant plus importante que la géométrie est petite pour les transistors de type GO1 et GO2 (cf. Figure 74 et Figure 75). De plus, ces résultats montrent que la dégradation de la capacité vue à  $V_{GS}$  supérieur à la tension de seuil est très limitée pour les transistors de type GO1 alors que cette dégradation peut aller jusqu'à une dizaine de pourcents dans le cas des transistors de type GO2.

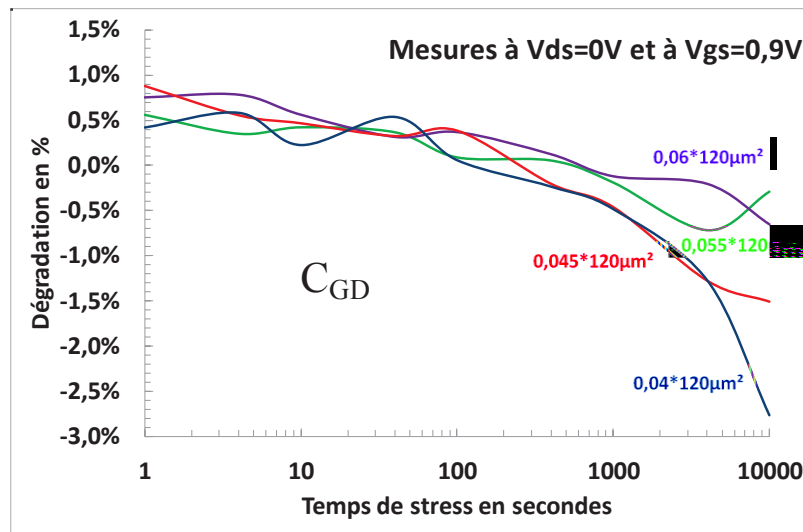


Figure 74 : Evolution des dégradations de la capacité grille drain à forts  $V_{GS}$  du transistor MOS de type GO1 suivant différentes géométries.

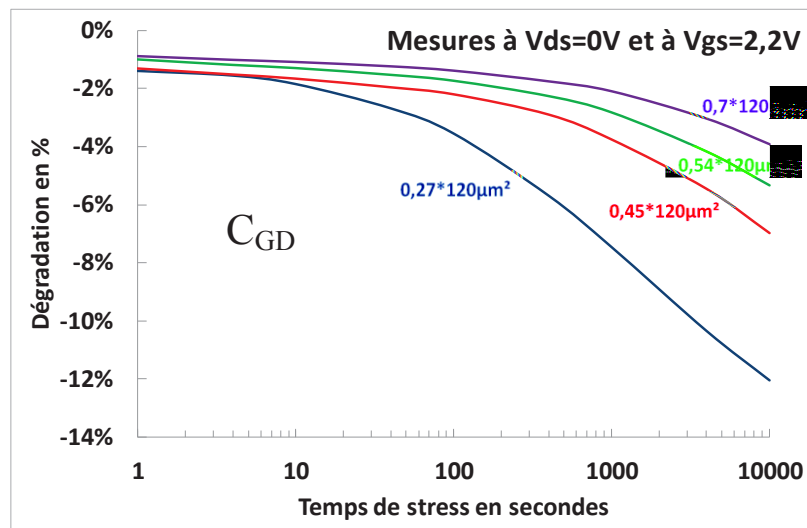


Figure 75 : Evolution des dégradations de la capacité grille drain à forts  $V_{GS}$  du transistor MOS de type GO2 suivant différentes géométries.



Concernant le mode 3 ( $V_{DS} < V_{GS}$ ) de la dégradation par porteurs chauds, les résultats montrent une dégradation similaire au mode 1 ( $V_{DS} > V_{GS}$ ) (cf. Figure 76). En effet, nous pouvons attribuer la dégradation de la capacité  $C_{GD}$  à forts  $V_{GS}$  à la dégradation de la contribution de la capacité de recouvrement étant donné que la capacité de l'intérieur de bord est masquée à faibles  $V_{GS}$ . Cette dernière est représentative de l'interface Si/SiO<sub>2</sub> au niveau de l'extension du drain et les résultats nous indiquent donc que cette partie physique du transistor est impactée dans les deux types de contrainte.

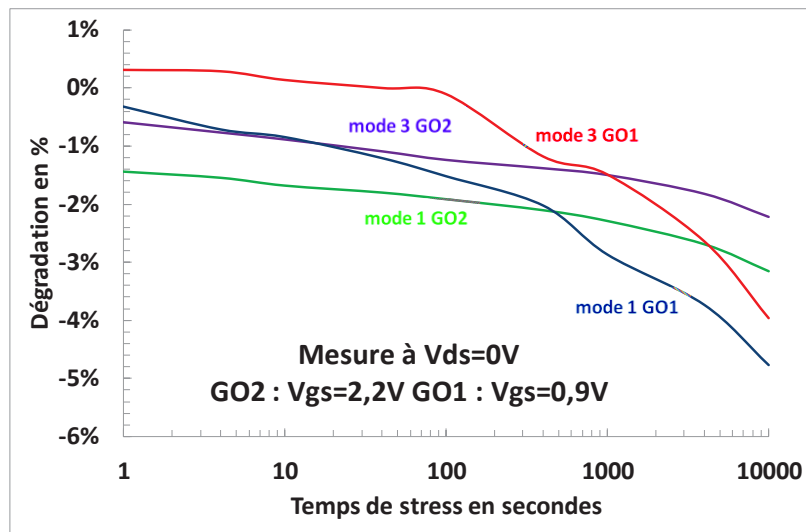


Figure 76 : Evolution de la capacité de recouvrement grille drain des transistors MOS de type GO1 et GO2 sous stress par porteurs chauds suivant les modes 1 et 3.

A travers les résultats de la caractérisation dynamique du transistor, nous pouvons mettre en évidence les dégradations localisées au sein du drain par la dégradation de la capacité à forts  $V_{GS}$  correspondant à la capacité de recouvrement grille drain. Nous obtenons une dégradation de cette capacité pour les deux types de transistors et ces résultats confortent ceux obtenus à travers les caractéristiques statiques indiquant aussi des dégradations localisées au sein du drain.

Grâce à l'exploitation des différentes conditions de stress et des différents paramètres étudiés, nous pouvons tracer la dégradation d'un paramètre représentatif des dégradations du canal et du drain en même temps, en fonction de la tension de seuil. Ainsi, nous choisissons de représenter la dégradation de la transconductance maximale extraite des courbes  $I(V)$  pour la confronter à la dégradation de la capacité grille drain à forts  $V_{GS}$  (cf. Figure 77 et Figure 78). Ce type de courbes nous permet de différencier les modes de dégradation ainsi que leur

impact sur les caractéristiques et donc de localiser la dégradation. Nous choisissons de représenter les résultats ayant montré le plus de dégradation de la tension de seuil.

Nous remarquons que les différents modes de stress, issus des conditions en tension  $V_D$  et  $V_G$  décrites dans la figure, impactent tous la transconductance maximale avec une cinétique de dégradation semblable. Cependant, nous remarquons aussi que différents niveaux de dégradation sont atteints. Ainsi, pour une dégradation de la tension de seuil fixée, nous pouvons différencier les contributions de la dégradation. Par exemple, la courbe noire est représentative d'une condition de stress où la tension de drain est bien supérieure à la tension de grille et cette courbe atteint un niveau de dégradation moins important que la courbe cyan qui représente une condition où la tension de drain est proche de la tension de grille. Pour une dérive de la tension de seuil de 30mV, les dégradations ou le nombre de défauts modulant la tension de seuil sont les mêmes, ainsi, l'écart obtenu entre ces deux courbes est représentatif d'un écart de dégradation du côté du drain. Ces résultats nous indiquent que le mode 2 de la dégradation par porteurs chauds, lorsque  $V_D$  et  $V_G$  sont proches, est celui qui génère le plus de défauts.

Intéressons-nous à présent au comportement de la capacité grille drain à forts  $V_{GS}$ . La tendance obtenue pour la transconductance maximale est respectée, à savoir, les conditions qui dégradent le plus la transconductance sont les conditions qui dégradent le plus la capacité. Cependant, les stress correspondant à des valeurs faibles de la tension de grille (courbes noire et bleu) n'impactent pas la valeur de la capacité alors que les caractéristiques statiques sont dégradées. Ce résultat met en évidence le fait que la capacité grille drain étudiée est représentative d'une zone très localisée (interface Si/SiO<sub>2</sub> au niveau de l'extension du drain) qui ne reflète pas les défauts que d'autres paramètres peuvent montrer.

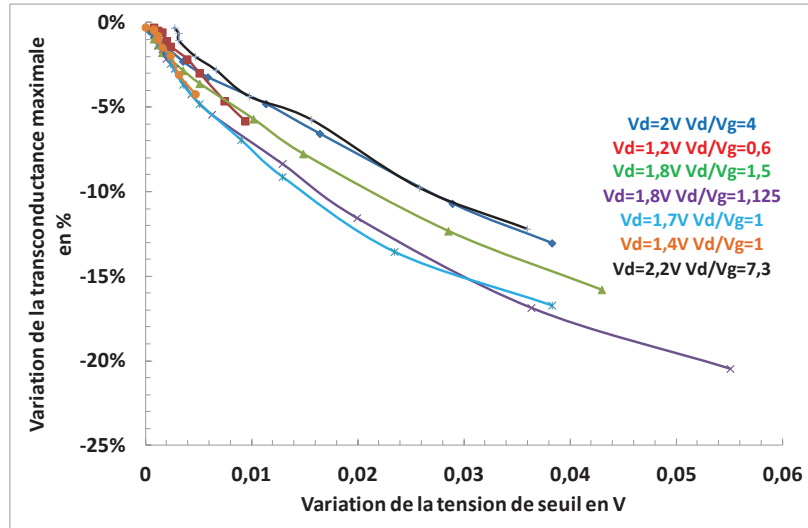


Figure 77 : Corrélation des dégradations de la transconductance maximale en fonction de la dégradation de la tension de seuil.

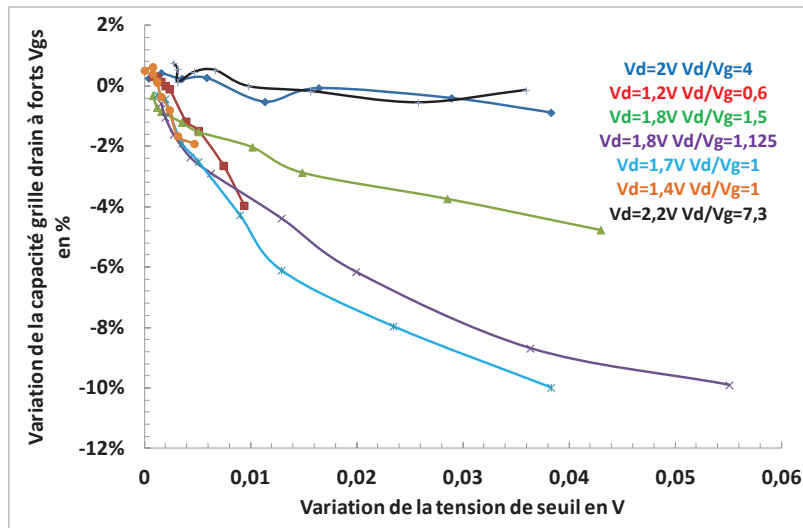


Figure 78 : Corrélation des dégradations de la capacité grille drain à forts  $V_{GS}$  en fonction de la dégradation de la tension de seuil.

Sur la caractéristique  $C(V)$  (cf. Figure 68 et Figure 69), pour les  $V_{GS}$  supérieurs à 0,9V pour les GO1 et 2,3V pour les GO2, nous sommes en régime d'inversion forte et la résistance d'accès au drain module la valeur effective de la capacité  $C_{GD}$  [40]. Ainsi, une dégradation localisée au niveau de la zone de recouvrement Grille Drain des LDD induit une dégradation de la résistance d'accès du drain qui peut être estimée à travers les courbes de  $C(V)$ . De plus, nous savons que cette dégradation peut aussi être obtenue à travers la dégradation de la conductance de sortie  $G_{DS}$  après les corrections apportées par la dérive de la tension de seuil. Ainsi, nous proposons cette méthode de caractérisation de la conductance de sortie  $G_{DS}$  en

régime d'inversion forte à forts  $V_{GS}$  pour permettre la mise en évidence de façon qualitative la dégradation de la résistance d'accès au drain (cf. Figure 79).

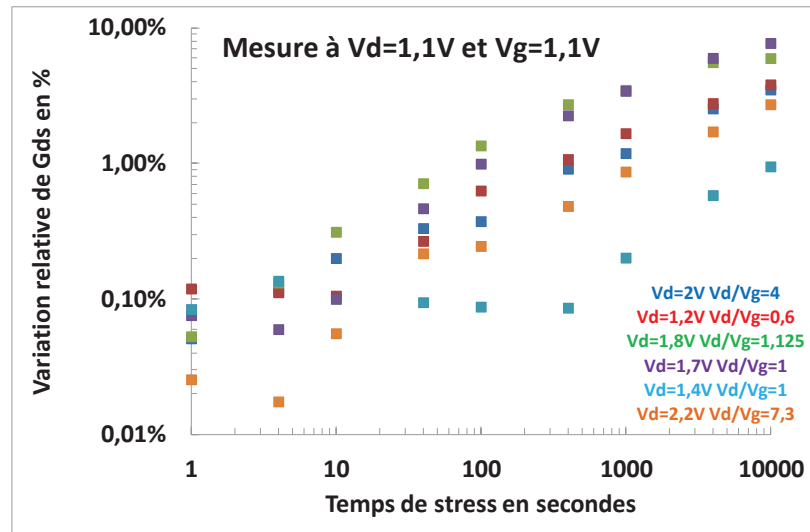


Figure 79 : Evolution de la conductance de sortie  $G_{DS}$  sous l'impact des porteurs chauds pour différentes tensions de stress, extraite en régime de forte inversion et représentative de la dégradation de la résistance d'accès au drain.

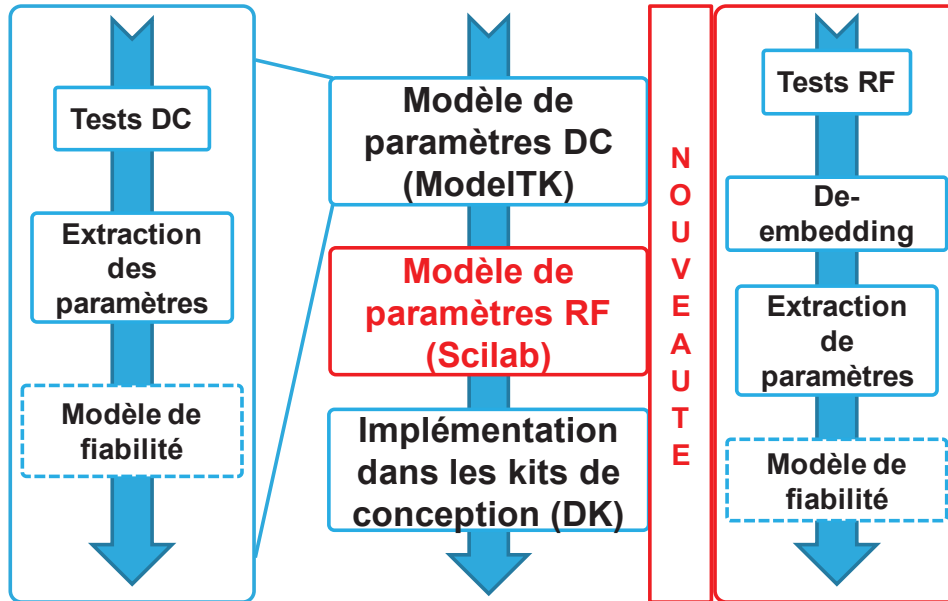
Etant donné que cette étude a principalement été motivée par les résultats de la dégradation en fréquence du paramètre  $S_{21}$  de l'amplificateur de puissance conçu en technologie CMOS065RF, nous avons réalisé des simulations du vieillissement de la capacité vue entre la grille et le drain du transistor actif afin de reproduire la dégradation en fréquence obtenue (cf. Annexe 3). De plus, différents stress sont réalisés sur un amplificateur de puissance conçu en technologie CMOS040 afin de reproduire et confirmer ces résultats.

## 2.6 Conclusion

Nous avons étudié la fiabilité des transistors MOS en technologie CMOS040 (40 nm) développés pour les applications millimétriques. Les dégradations des caractéristiques statiques sont bien connues et cette étude permet de valider les différentes dégradations reportées dans la littérature.

Grâce à la caractérisation des paramètres  $S$  des transistors, l'étude de la fiabilité des caractéristiques dynamiques du transistor MOS a été réalisée à travers une suite d'étapes incluant des tests RF, un script d'extraction réalisant le de-embedding ainsi que l'extraction des paramètres à travers le logiciel Scillab. Cette suite d'étapes, s'intègre naturellement dans le déroulement déjà existant qui permet l'étude du vieillissement des caractéristiques statiques

du transistor MOS (cf. Figure 80). L'étude permettant l'étude du vieillissement des caractéristiques statiques comprend aussi une étape de caractérisation et de stress électrique, une modélisation ainsi qu'une implémentation au sein des simulateurs.



**Figure 80 : Déroulement de l'étude de la dégradation des caractéristiques statiques et dynamiques du transistor MOS.**

Les résultats des dégradations statiques et dynamiques obtenus confirment les dégradations localisées au sein du drain. En effet, la capacité grille drain à forts  $V_{GS}$  ainsi que les paramètres tels que la transconductance ou encore le courant de drain en régime linéaire sont dégradés après l'injection de porteurs chauds. De plus, nous avons pu voir que l'étude de la capacité grille drain ne permettait pas toujours de mettre en évidence les défauts générés. Ces résultats suscitent de l'intérêt étant donné que les circuits fonctionnant dans la gamme des fréquences millimétriques peuvent être dégradés.

Le but final est de proposer aux concepteurs des solutions automatiques prenant en compte et décrivant les dégradations des circuits à long terme. Pour cela, nous abordons le troisième chapitre afin de présenter les solutions proposées.



## **Chapitre 3 : La modélisation de la fiabilité des transistors bipolaires à hétérojonctions**

Ce chapitre est dédié à la recherche de solutions assurant la fiabilité pour les deux types de transistors. Suite aux résultats exposés dans les chapitres précédents, nous proposons un modèle de type SOA (Safe Operating Area) pour les transistors bipolaires à hétérojonctions.

Aux cours des chapitres précédents, nous avons pu voir que les dégradations des HBT se traduisent principalement par des augmentations du courant de G-R du courant base et du bruit basse fréquence. Par ailleurs, nous avons pu constater que les performances des circuits mmW en technologie bipolaire n'étaient pas impactées par les dégradations des transistors, excepté pour les performances en bruit électronique et dans ce cas certains dispositifs peuvent être dégradés. Lors de l'étude des circuits mmW, nous avons réalisé des simulations électriques qui montrent que les HBT sont polarisés au-delà du  $BV_{CEO}$  lors des excursions RF au sein des circuits (cf. Figure 81). A cause des risques de fiabilité, les règles actuelles de conception n'autorisent pas le développement de circuits avec des tensions  $V_{CE}$  de fonctionnement supérieures au  $BV_{CEO}$ .

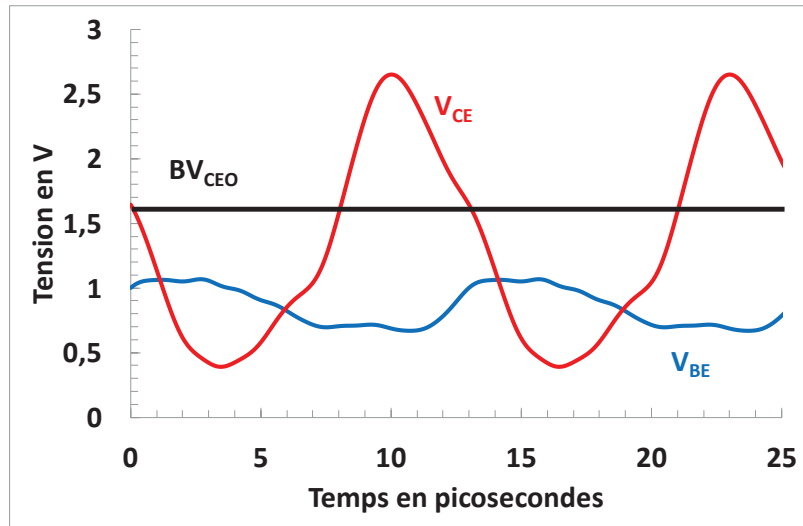


Figure 81 : Conditions typiques de fonctionnement des HBT dans des applications mmW montrant des polarisations au-delà du  $BV_{CEO}$ .

Ainsi, nous orienterons cette partie vers l'étude du comportement du transistor au-delà de cette tension afin de proposer un modèle SOA, un modèle de dégradation du courant base concernant la gamme de polarisation dans les circuits millimétriques ainsi qu'un modèle dit « fin de vie » décrivant l'évolution du bruit basse fréquence des HBT dans le pire cas de dégradation.

### 3.1 Les modèles de vieillissement et les modèles SOA issus de la littérature

Dans la littérature, plusieurs études exposent des modèles de vieillissement ainsi que des modèles SOA. Nous allons nous intéresser aux modèles décrivant l'évolution des paramètres et performances des HBT en condition de fonctionnement direct décrites dans la littérature. Puis, nous identifierons les différentes études des modèles SOA.

Les études les plus poussées proposent des modèles de dégradation du courant base. Ces modèles prennent en compte des paramètres comme les tensions appliquées et le temps. La dégradation peut directement être décrite par l'évolution du courant base comme :



$$\Delta I_B(t) = C \cdot \left( \frac{1}{\frac{1}{\lambda_1 I_{stress}^{\mu_1}} + \frac{1}{\lambda_2 I_{stress}^{\mu_2}}} \right) \cdot V_{CEstress}^{\alpha} \cdot \exp\left(\frac{qV_{BEmesure}}{nkT}\right) \cdot \exp\left(\frac{E_a}{kT_e}\right) \cdot t_{stress}^{\rho} \quad (13)$$

avec  $\mu$ ,  $\lambda$ ,  $\alpha$  et  $\rho$  les facteurs d'accélération du vieillissement,  $E_a$  l'énergie d'activation.

$$\Delta I_B = C t^{0.2} e^{0.15I_E + 1.2V_{CB}} e^{\frac{qV_{BE}}{nkT}} \quad (14)$$

(13) et (14) prennent en compte la température, les courants et tensions de stress ainsi que le temps de stress. Cependant, dans (13), le courant de stress prend en compte la réversibilité de la dégradation et est dépendant de deux accélérations correspondant aux mécanismes de porteurs chauds ( $I_E < 7\text{mA}$ ) et de passivation de défauts ( $I_E > 7\text{mA}$ ).

Une étude récente [26] concernant la dégradation à long terme des HBT montre que, pour des stress suffisamment longs de l'ordre de 1000 heures, un phénomène de saturation de la dégradation est observé à partir de 100 heures de stress. Ainsi, un modèle prenant en compte cette saturation est proposé et, ce dernier, permet une détermination de durée de vie plus précise.

Les études concernant les limites d'utilisation des transistors bipolaires au-delà de la tension de claquage  $BV_{CEO}$  sont nombreuses. Celles-ci concernent l'effet d'avalanche, l'ionisation par impact ainsi que le claquage associé. Les effets d'auto-échauffement ne sont décrits que plus tard lors de développements de petits transistors dont le coefficient de dissipation thermique est faible.

Différents modèles électriques et physiques sont développés dans le but de reproduire les effets d'avalanche et de claquage. Un modèle contenant six transistors bipolaires regroupés (cf. Figure 82) permet de simuler les effets du régime d'avalanche ainsi que le claquage dans des circuits [27] [28], permettant ainsi de détecter les limites de polarisation.

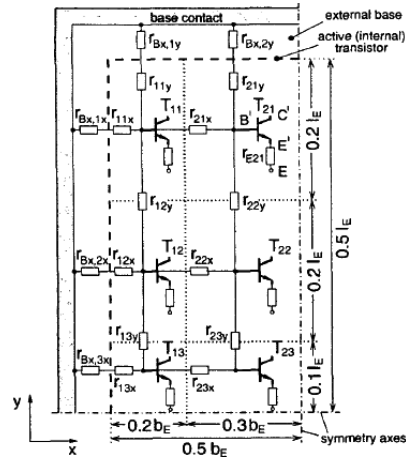


Figure 82 : Modèle électrique de six transistors bipolaires permettant de simuler les effets du régime d'avalanche ainsi que le claquage des HBT [27].

Un second modèle électrique (cf. Figure 83) adressant les fortes densités de courant provoquant l'auto-échauffement est présenté [29]. Il permet aussi de prendre en compte les effets d'ionisation par impact. Grâce à ce dernier, la non-uniformité du courant collecteur induite par l'auto-échauffement est démontrée et peut être simulée. De plus, les auteurs recommandent l'utilisation de transistors de petites dimensions afin de limiter les courants et les pics de température pouvant mener à la dégradation des transistors.

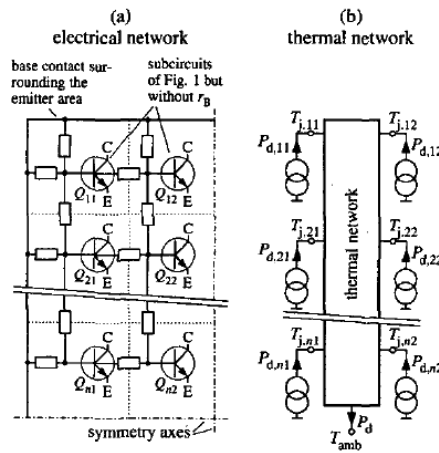


Figure 83 : Modèle électrique permettant de simuler les effets d'auto-échauffement des HBT [29].

Une étude s'intéresse au comportement du transistor bipolaire au-delà de la tension  $BV_{CEO}$  [30]. Cette étude développe une expression permettant de décrire les effets de l'ionisation par impact. En introduisant le facteur multiplicateur d'avalanche, cette expression est injectée dans l'expression de la tension  $BV_{CER}$ , représentant la tension de claquage de la jonction émetteur-collecteur pour une résistance  $R$  connectée à la base. C'est grâce à

l'expression de  $BV_{CER}$  que les auteurs définissent le SOA en fonction de la résistance  $R$  et de la température (cf. Figure 84).

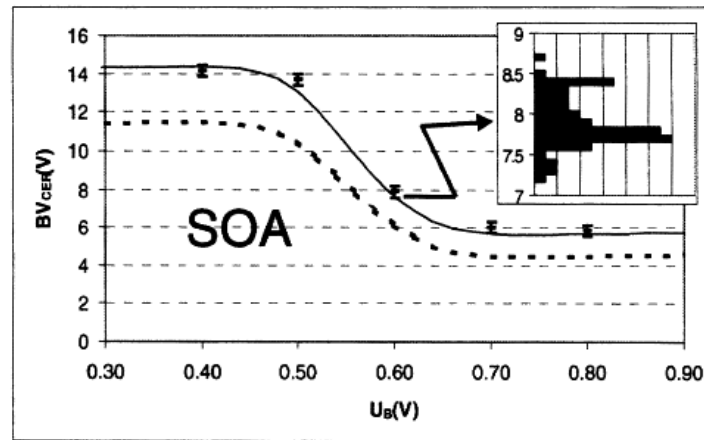


Figure 84 : Exemple de tension  $BV_{CER}$  limite défini pour une résistance connectée à la base et une géométrie donnée [30].

Une étude présente un critère électrothermique afin de décrire les zones de polarisation stables [31]. Les auteurs proposent une nouvelle figure de mérite représentée par le maximum de la tension  $V_{CE}$  pouvant être appliqué sans emballement électrothermique (cf. Figure 85), à densité de courant correspondant au pic de  $f_T$ .

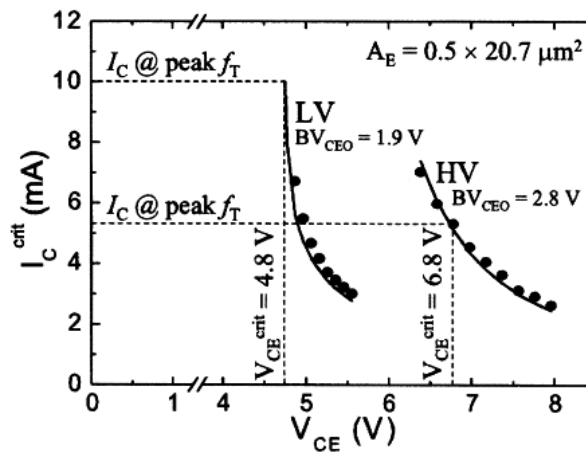


Figure 85 : Exemple de maximum de tension  $V_{CE}$  applicable sans emballement thermique, pour des transistors LV et HV [31].

Une étude SOA est réalisée afin de définir les limites d'utilisation sans provoquer de dégradation induite par les effets des porteurs chauds et de l'auto-échauffement [32]. Les dispositifs étudiés sont des HBT fabriqués sur SOI (Silicon On Insulator). En plus de l'étude SOA, des stress électriques définis par des conditions respectant le modèle SOA sont réalisés

afin de connaître les évolutions temporelles du courant de fuite de la jonction base-collecteur et donc, du gain inverse. Ce courant de fuite est uniquement visible sur les tracés de Gummel inverse ( $V_{BE}=0$  et  $V_{CE}<0$ ) et le tracé de Gummel ne montre pas de dégradation. Or, la configuration du Gummel inverse n'est pas utilisée dans les circuits que nous étudions. Enfin, les auteurs démontrent que les dégradations dues aux effets d'auto-échauffement surviennent pour des conditions de polarisation supérieures aux conditions dégradantes par porteurs chauds.

Une étude des phénomènes d'avalanche et d'auto-échauffement se produisant au sein des HBT est réalisée. L'impact de ces deux phénomènes réduit fortement le SOA des BJT (Bipolar Junction Transistor) principalement à cause de l'auto-échauffement [33]. Les auteurs s'intéressent aux transistors SOG (Silicon On Glass) multi-doigts et préconisent de segmenter les bandes d'émetteurs afin d'obtenir une meilleure uniformité de la température au sein de chaque doigt d'émetteur.

Une étude de fiabilité prenant en compte le SOA est réalisée sur des HBT disposés sur un film fin de SOI (Silicon On Insulator). La comparaison entre la fiabilité des transistors NPN et PNP est réalisée et indique que les transistors PNP sont plus fiables en régimes de porteurs chauds et d'auto-échauffement [34]. Un double buffer est utilisé dans le but de réaliser les stress RF à des puissances d'entrée de 15 dBm et confirmer les résultats obtenus sur des HBT isolés (cf. Figure 86).

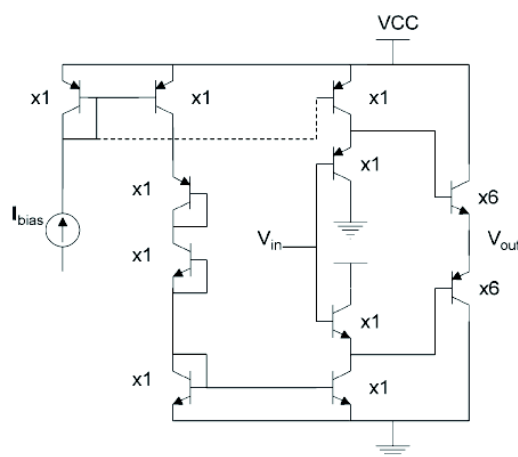


Figure 86 : Représentation schématique du double buffer utilisé dans le cadre des stress RF [34].

Une étude récente de modélisation du SOA des HBT concernant les régions de polarisation menant à l'auto-échauffement et aux porteurs chauds en régime d'avalanche est

réalisée. Des limites en courant et tension sont définies afin de ne pas dégrader le gain en courant pour les différents mécanismes investigués [35] (cf. Figure 87).

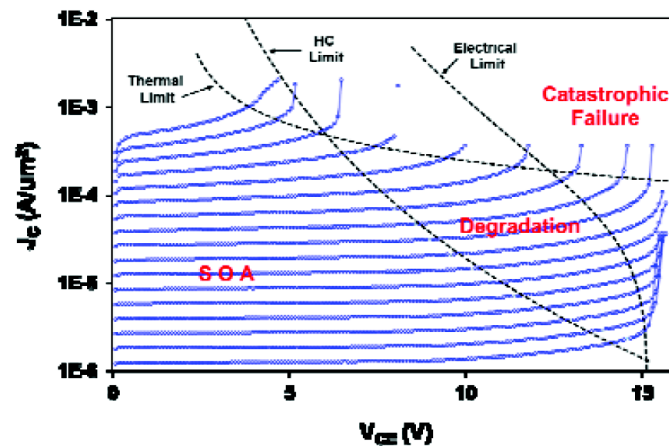


Figure 87 : Représentation du SOA ainsi que des différentes zones de polarisation à risques pour les HBT [35].

Suite aux différents résultats décrits dans la littérature, nous procédons à l'étude de l'évolution des paramètres du modèle simplifié de nos HBT ainsi que l'étude du SOA de nos HBT. Une attention particulière sera apportée au régime d'avalanche ainsi qu'au phénomène d'auto-échauffement.

### 3.2 La modélisation du vieillissement à travers le modèle STBJT

Cette étude débute par la présentation du modèle STBJT (cf. Figure 88), développé au sein de STMicroelectronics, basé sur le modèle SPICE Gummel Poon, ce dernier permet de simuler le comportement électrique des HBT. L'avantage de ce modèle réside dans le fait que l'extraction des paramètres (cf. Figure 89) modélisant le fonctionnement statique du transistor bipolaire s'effectue sur des caractéristiques  $I(V)$  uniquement avec des régressions linéaires. De plus, la conversion des paramètres STBJT vers des paramètres HiCuM est généralement facilement réalisable.

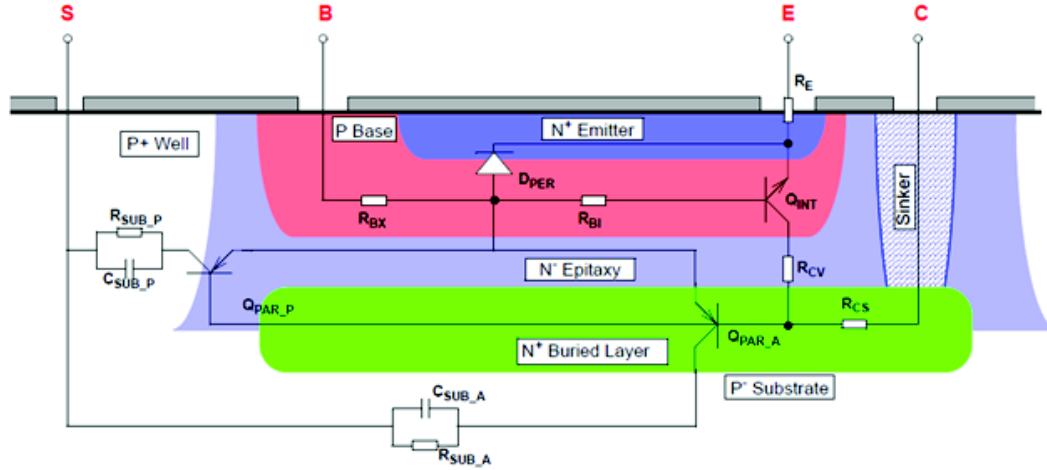


Figure 88 : Schéma électrique du modèle STBJT.

Paramètres	Is & Var	Bf, Ise & Ne	BVC & Mf	Vaf	Af & Kf
Définition	Courant de saturation & tension d'Early inverse	Gain, courant de saturation de la jonction BE & facteur d'idéalité	Tension de claquage de la jonction BC & facteur multiplicateur	Tension d'Early directe	Facteur multiplicateur et facteur exponentiel
Grandeur modélisée	Courant collecteur	Courant base	Claquage par avalanche	Influence de $V_{BC}$ sur le gain	Bruit basse fréquence

Figure 89 : Récapitulatif des paramètres du modèle STBJT étudiés.

En ce qui concerne la conversion, les paramètres du bruit de Flicker ne sont pas modifiés lors du passage d'un modèle à l'autre. Pour ce qui est des paramètres statiques, le courant de saturation  $I_S$  est exprimé par le rapport de deux autres paramètres :

$$I_S = \frac{C_{10}}{Q_{p0}} \quad (15)$$

Avec  $Q_{p0}$  définit comme la charge des trous sans polarisation et

$$C_{10} = (q \cdot A_E)^2 \cdot V_T \cdot \mu_{nB} n_{iB}^2 \quad (16)$$

un paramètre du modèle HiCuM proportionnel à l'aire de l'émetteur.

Ainsi, si nous déterminons une variation du courant de saturation, nous pouvons la retranscrire sur le paramètre  $C_{10}$ . Le courant de saturation de la jonction B-E, noté  $I_{se}$ , est exprimé comme la somme pondérée d'un courant de saturation périmétrique et d'un courant de saturation surfacique exprimés respectivement par les équations ci-dessous :

$$I_{BE}Ps = x * I_{se} \text{ et } I_{BE}Is = (1 - x) * I_{se} \quad (17)$$

La somme de ces 2 courants exprime la composante de G-R du courant base :

$$I_{se} = I_{BE}Is + I_{BE}Ps. \quad (18)$$

Nous pouvons, ainsi, légitimement définir un des deux courants du modèle HiCuM comme nul et retranscrire la dégradation sur l'autre. En ce qui concerne le facteur d'idéalité  $N_e$ , chacun des deux courants précédemment énoncés, surfacique et périmétrique, possède son propre facteur d'idéalité respectivement noté  $MreI$  et  $MreP$ . Il suffit de fixer les valeurs de ces deux facteurs d'idéalité à la valeur que nous obtenons pour le facteur d'idéalité du modèle STBJT.

Dans le cadre de notre étude, nous faisons vieillir des transistors ayant différentes géométries par des conditions de stress qui concernent la gamme de polarisation des circuits RF (cf. Figure 90). De plus, nous réalisons la caractérisation des HBT lors d'interruptions des stress à différents moments afin d'obtenir un suivi temporel et afin d'extraire les paramètres décrits précédemment.

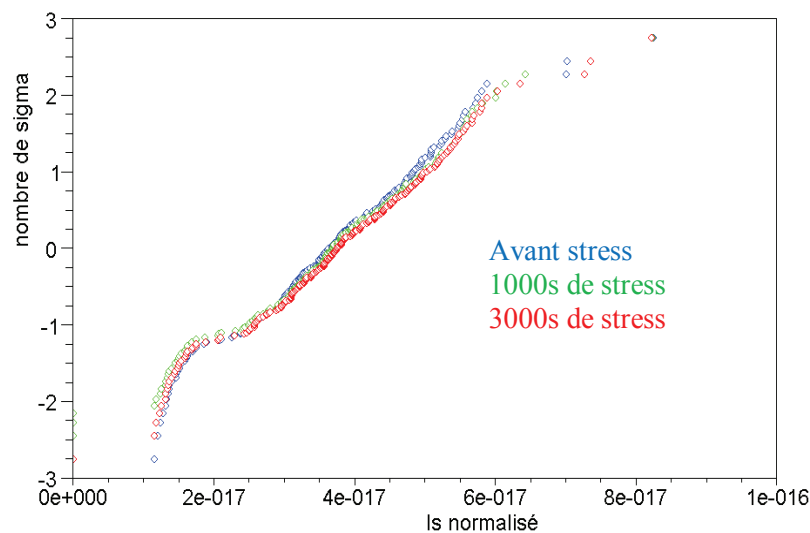
<b>11 Structures</b>	Structure nominale	$(W,L) = (0.27,5) \mu m$
	4 structures à W variable	$W = [0.4 - 0.54 - 0.84 - 1.08] \mu m$
	6 structures à L variable	$L = [0.6 - 1 - 1.5 - 3 - 30 - 15] \mu m$
<b>2*15 conditions de stress</b>	Tension de stress appliquée à Vce (V)	$V_{ce} = [2 - 2.5 - 3]$
	Tension de stress appliquée à Vbe (V)	$V_{be} = [0.9 - 0.95 - 1 - 1.1 - 1.2]$
<b>2 conditions de mesure pour 2 types de courbes de sortie (DC)</b>	Gummels: $I_c, I_b = f(V_{be})$	$V_{cb} = 0$ & $V_{be}$ rampe de $[0.3 - 0.9]$ V
	$I_c, I_b = f(V_{ce})$	$V_{be} = 0.7V$ & $V_{ce}$ rampe de $[0 - 1.7]$ V

**Figure 90 : Tableau récapitulatif du plan expérimental permettant le suivi de la dégradation des paramètres statiques.**

Afin de présenter ces résultats, nous optons pour une approche statistique descriptive tracée en échelle de Henry. Grâce à cette approche, nous pouvons rapidement voir les

distributions statistiques ainsi que les valeurs médianes des paramètres extraits puis quantifier la dispersion des paramètres. Nous avons choisi de comparer les distributions statistiques de toutes les structures et tous les stress confondus à des temps de stress donnés. Pour cela, il faut normaliser par rapport aux dimensions les paramètres représentatifs de courants, à savoir  $I_s$  et  $I_{se}$ . De plus, les populations que nous comparons aux différents temps de stress sont les mêmes. Nous allons d'abord traiter les paramètres qui ont une dépendance avec les dimensions.

Voici le code de couleur adopté : **BLEU** pour les paramètres initiaux, **VERT** pour les paramètres vieillis après un temps de stress de 1000 secondes et **ROUGE** pour les paramètres vieillis après un temps de stress de 3000 secondes.



**Figure 91 : Distribution statistique du courant de saturation  $I_s$  extrait à partir de toutes les géométries et tous les stress à différents temps.**

Nous remarquons que les distributions statistiques du paramètre  $I_s$  avant, en cours et après stress évoluent peu ce qui confirme les résultats obtenus dans le chapitre 1 ainsi que les résultats énoncés dans la littérature (cf. Figure 91).



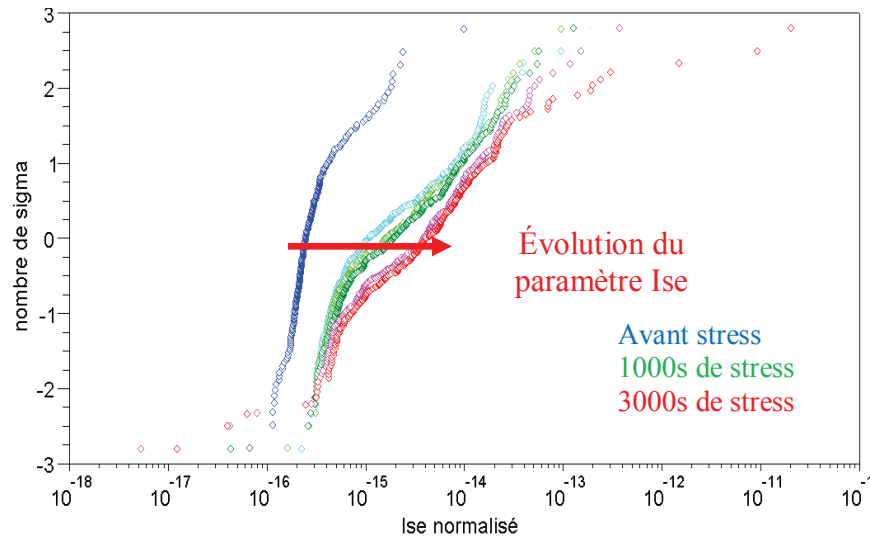


Figure 92 : distribution statistique du courant de saturation de la jonction B-E Ise extrait à partir de toutes les géométries et tous les stress à différents temps

Les distributions statistiques de Ise, tous les stress et toutes les géométries confondus, montrent une évolution de ce paramètre au cours du temps de stress (cf. Figure 92). Ce résultat est en accord avec les résultats précédents et nous oriente vers la réalisation d'un modèle décrivant l'évolution du paramètre Ise.

Ainsi, voici les valeurs rendant compte de ces distributions :

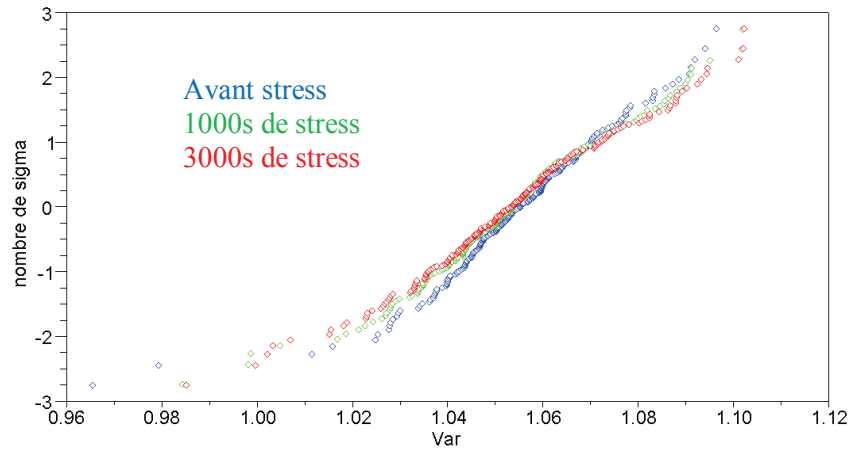
Paramètres	Temps de stress	Is (*1E-17 A)	Ise (*1E-14 A)
Valeur	0s	3.93	0.042
	1000s	3.96	0.41
Médiane	3000s	4.07	0.48
Population à tous les temps		233	274
Déviation Standard	0s	1774	7E-14
	1000s	17881	1.5E-12
	3000s	78971	14.4E-10

Figure 93 : Tableau récapitulatif du plan expérimental permettant le suivi de la dégradation des paramètres statiques.

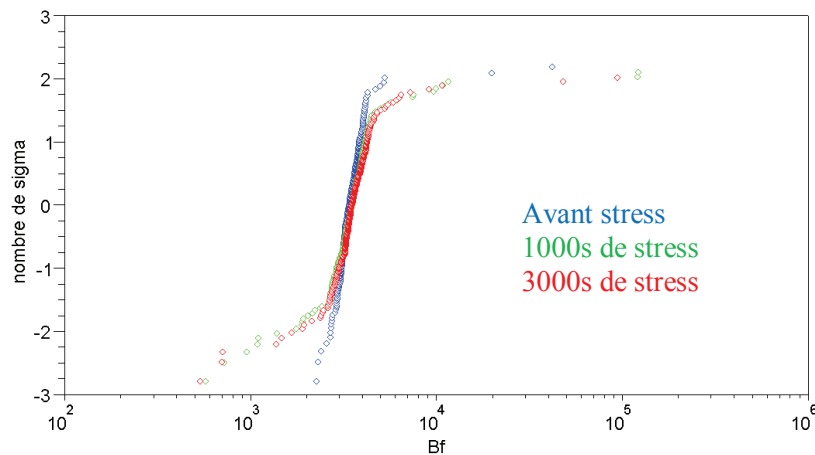
Les valeurs médianes montrent, dans un premier temps la faible évolution du paramètre Is, qui modélise le courant collecteur, puis dans un second temps, une évolution très significative du paramètre Ise qui modélise la composante de G-R du courant base (cf. Figure 93). Ainsi, les résultats obtenus permettent, d'une part, la confirmation des résultats

des études menées précédemment et d'autre part, ces résultats mettent en évidence une dégradation du courant collecteur  $<1\%$ .

En ce qui concerne les paramètres Var, Bf, Mf et BVC, les distributions statistiques correspondantes sont montrées ci-dessous :



**Figure 94 : Distribution statistique de la tension d'Early inverse Var extraite à partir de toutes les géométries et tous les stress à différents temps.**



**Figure 95 : Distribution statistique du gain statique Bf extrait à partir de toutes les géométries et tous les stress à différents temps.**

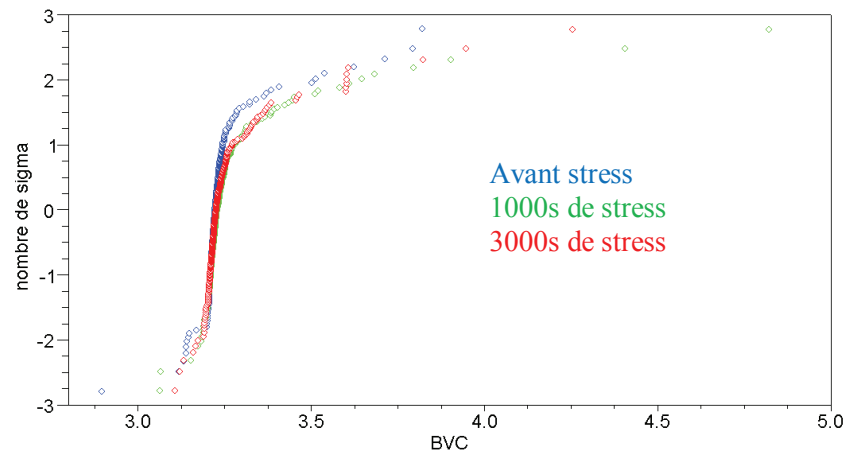


Figure 96 : Distribution statistique de la tension de claquage de la jonction BC, notée BVC, extraite à partir de toutes les géométries et tous les stress à différents temps.

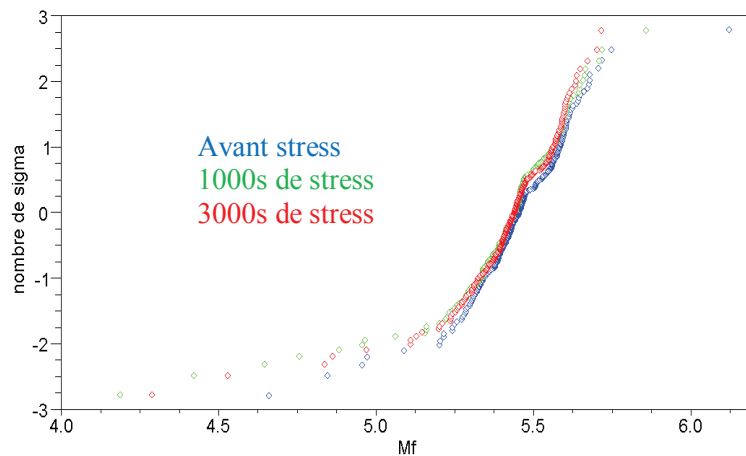


Figure 97 : Distribution statistique du facteur multiplicateur Mf extrait à partir de toutes les géométries et tous les stress à différents temps.

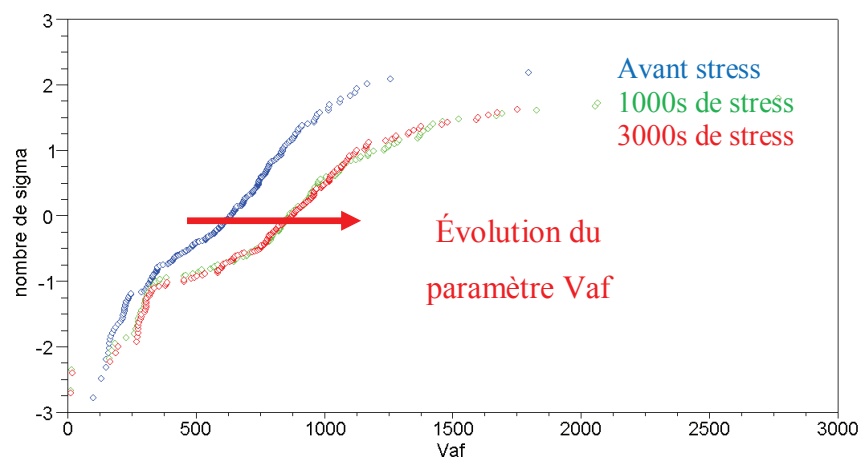


Figure 98 : Distribution statistique de la tension d'Early directe Vaf extraite à partir de toutes les géométries et tous les stress à différents temps.

De manière générale, les distributions statistiques relatives à ces paramètres ne reflètent pas de dégradation significatives après stress (cf. Figure 94, Figure 95, Figure 96, Figure 97) à l'exception de la tension d'Early directe Vaf, qui augmente au cours du temps de stress et subit de grandes variations (cf. Figure 98).

Le tableau ci-dessous établit un récapitulatif des valeurs médianes et des déviations standard liées à ces distributions :

Paramètre s	Temps de stress	Var	Bf	BVC	Mf	Vaf
Valeur	0s	1.06	3349	3.22	5.46	652
	1000s	1.05	3439	3.23	5.44	944
Médiane	3000s	1.05	3439	3.22	5.44	945
Population à tous les temps		232	264	257	257	205
Déviation Standard	0s	0.02	1.5E+6	Inf	0.82	658
	1000s	0.22	1.2E+6	1.3E8	1.02	1977
	3000s	0.21	3.0E7	1.3E+5	1.11	2620

**Figure 99 : Tableau récapitulatif de l'évolution des valeurs médianes, des déviations standard et des populations des paramètres statiques non normalisables pour chaque temps de stress présenté.**

Nous pouvons constater que les valeurs médianes des paramètres modélisant le claquage par avalanche ne sont pas impactées (cf. Figure 99). Il n'y a que la tension d'Early directe qui est très impactée, cependant, de nos jours, sur les technologies récentes, cette valeur est si grande qu'elle a peu d'impacte sur l'évolution du courant collecteur.

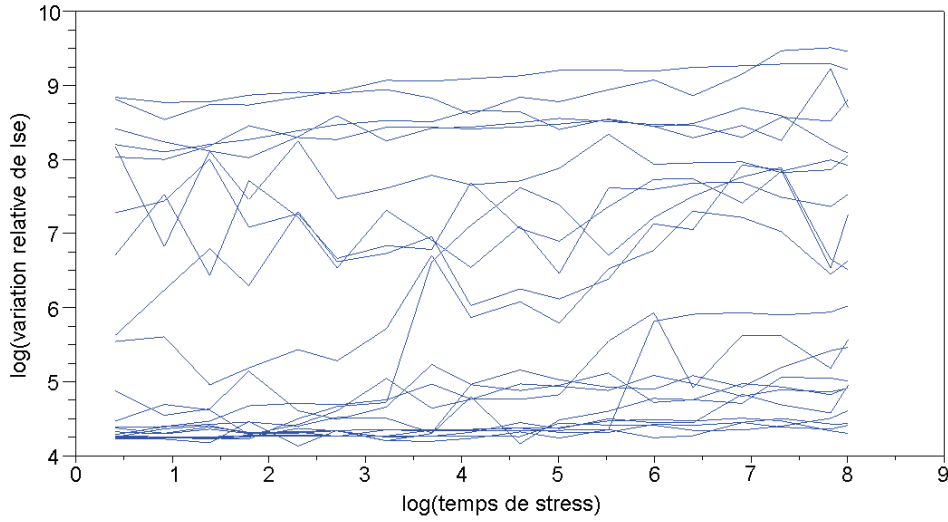
Nous définissons la fonction traduisant l'évolution du paramètre Ise en fonction des courants de stress collecteur et base et du temps de stress par l'expression suivante :

$$\frac{\Delta I_{se}}{I_{se}} = A \cdot I_{c_{stress}}^{\alpha} \cdot I_{b_{stress}}^{\beta} \cdot t_{stress}^{\gamma} \text{ avec } A \text{ constant.} \quad (19)$$

Ainsi, nous pouvons dans un premier temps, définir le facteur d'accélération en temps de stress  $\gamma$  par la fonction définie par l'équation :

$$\ln(\Delta I_{se}) = f(t_{stress}) = B + \gamma \cdot \ln(t_{stress}) \text{ avec } B \text{ constant.} \quad (20)$$

$\ln(\Delta I_{se})$  est représenté sur la Figure 100.



**Figure 100 : Évolution de la variation relative de Ise pour différentes conditions de stress en fonction du temps.**

Comme observé et expliqué au chapitre 1, la dégradation est très bruitée. Ceci rend difficile la détermination du facteur d'accélération en temps  $\gamma$ . Cependant, nous obtenons plusieurs valeurs de facteurs d'accélération dont la moyenne vaut  $\gamma_{moy} = 0,14$ . Nous obtenons aussi les valeurs de la constante  $B$  correspondant à chaque stress et écrivons :

$$B = C + \alpha \cdot \ln(I_{c_{stress}}) + \beta \cdot \ln(I_{b_{stress}}) \text{ avec } C \text{ constant.} \quad (21)$$

En utilisant la méthode des moindres carrés, nous obtenons :  $\alpha = -4,2$ ;  $\beta = 2,1$ ;  $C = 3$ .

Afin de vérifier et valider ce résultat, nous modélisons, grâce à l'équation que nous venons d'établir, la variation relative du paramètre Ise au cours du temps pour les stress  $\{V_{be} (V), V_{ce} (V)\} = \{1 ; 2\}$  et  $\{V_{be} (V), V_{ce} (V)\} = \{1.1 ; 2.5\}$ .

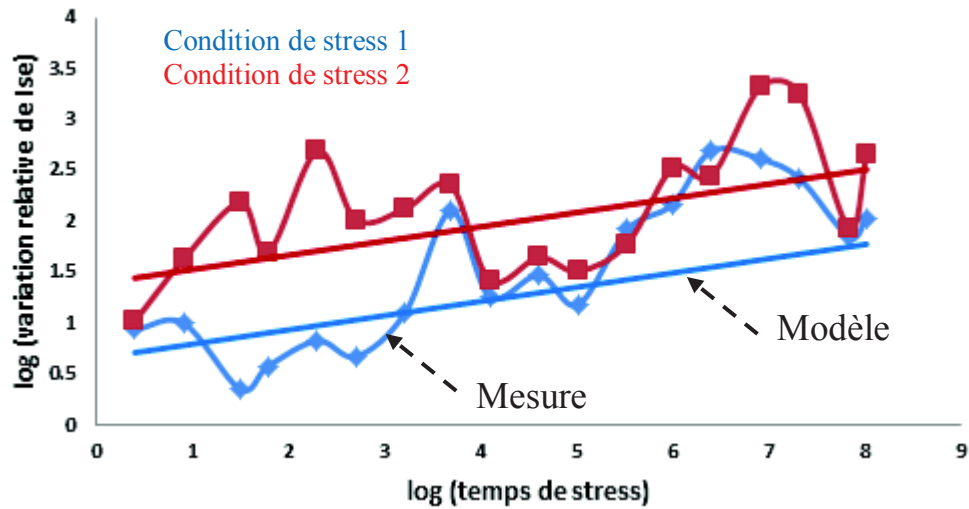


Figure 101 : Comparaison de la mesure (points) et de la modélisation (droites) de la variation relative du paramètre  $I_{se}$  au cours du temps pour 2 stress.

Nous constatons une forte dispersion des points expérimentaux menant à un écart entre la mesure et la modélisation (cf. Figure 101). Malgré une équation peu précise, nous remarquons que la tendance générale est respectée. Ces résultats ne permettent pas de construire un modèle robuste, ceci dirige notre étude vers l'établissement d'un modèle SOA pour HBT.

### 3.3 Le protocole expérimental

Le protocole expérimental que nous décrivons au cours de cette partie permet l'obtention des éléments nécessaires pour établir un modèle SOA. Le but de ces expérimentations est de connaître les gammes de polarisations menant à la dégradation des transistors bipolaires mais aussi de connaître les conditions de polarisation menant au claquage du transistor. Ainsi, la procédure de test consiste à réaliser des mesures de Gummel au cours d'une rampe en tension  $V_{CE}$  à un  $V_{BE}$  donné. Nous pourrions alors identifier la tension pour laquelle le transistor subit des dégradations ainsi que la tension pour laquelle le transistor claque (cf. Figure 102).

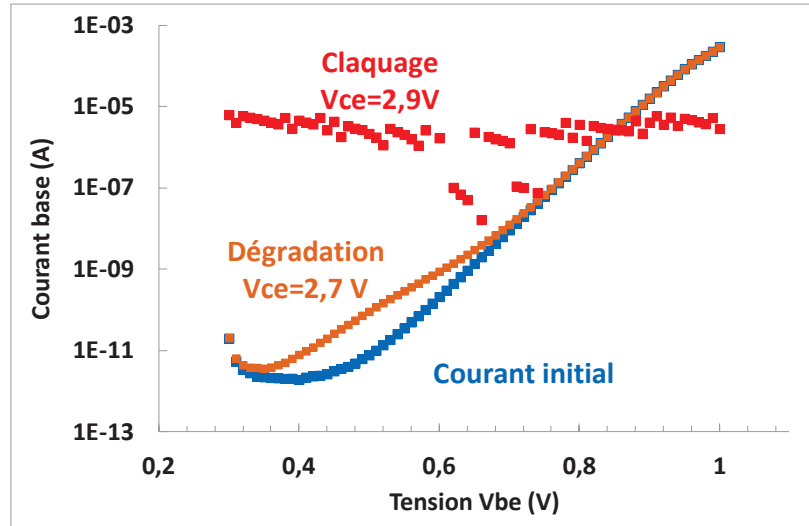


Figure 102 : Evolution des mesures de Gummel lors des rampes en tension  $V_{CE}$ .

L'aspect géométrique ainsi que les effets de la température sont pris en compte afin de proposer un modèle dépendant de ces paramètres (cf. Figure 103).

HBT length ( $\mu\text{m}$ )	[1 5 15]
$V_{be}$ (V)	[0.75 0.775 0.8 0.825 0.85 0.875 0.9 0.925 0.95 0.975 1]
Temperature ( $^{\circ}\text{C}$ )	[27 75 125]

Figure 103 : Récapitulatif des conditions de mesures et des géométries testés.

Seules les tensions  $V_{BE}$  comprises entre 0,75 V et 1 V sont investiguées étant donné que c'est la gamme de tensions utilisées dans les circuits.

### 3.4 Le régime d'avalanche et l'auto-échauffement au sein des HBT

La physique du claquage est connue. En effet, les transistors bipolaires font face à deux types de claquages irréversibles.

Le premier type de claquage correspond au claquage par avalanche résultant du phénomène d'ionisation par impact. A la jonction BC, l'augmentation de la tension provoque l'accroissement du champ électrique. A partir d'une valeur critique de ce champ, les électrons acquièrent suffisamment d'énergie pour pouvoir arracher un électron à un atome du réseau cristallin et créer une paire électron-trou, c'est le phénomène d'ionisation par impact. Les électrons et les trous générés vont à leur tour être accélérés et créer d'autres paires électrons-trous, entraînant une augmentation brutale du courant collecteur, c'est le phénomène

d'avalanche. C'est cette augmentation brutale qui mène au claquage par avalanche. L'ionisation par impact induit également une diminution du courant base menant jusqu'à une inversion de sens de ce courant. Le transistor est dit en avalanche lorsque le courant base est négatif.

Ces phénomènes sont clairement observables sur les caractéristiques que nous obtenons. Pour certains  $V_{BE}$ , le courant base passe d'une valeur positive à une valeur négative (cf. Figure 104 et Figure 105). L'augmentation brutale du courant base n'est pas visible sur la caractéristique présentée, cependant, elle se produit pour la valeur de  $V_{CE}=3$  V et mène au claquage irréversible du transistor.

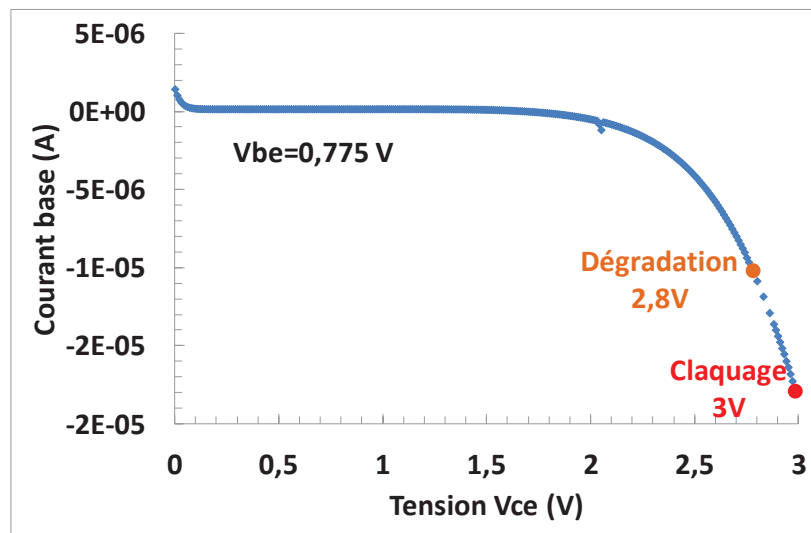


Figure 104 : Evolution du courant base en régime d'avalanche en fonction de la tension  $V_{CE}$ .

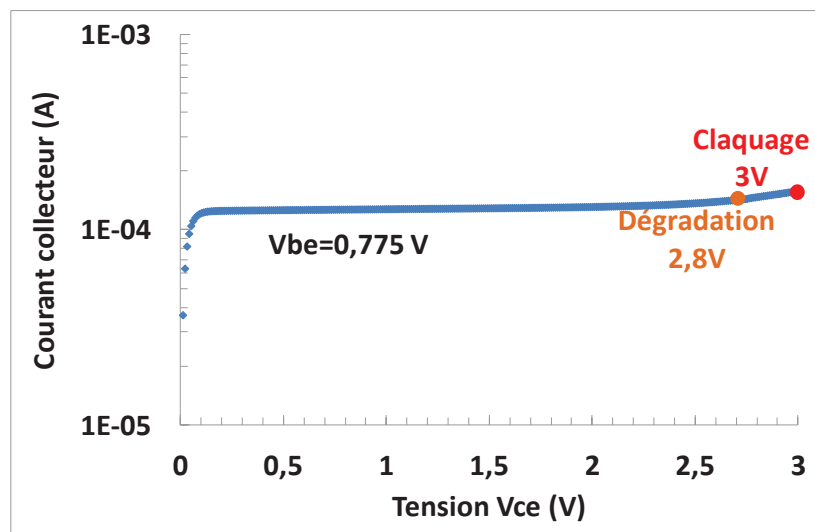


Figure 105 : Evolution du courant collecteur en régime d'avalanche en fonction de la tension  $V_{CE}$ .



Le second type de claquage est le claquage thermique qui résulte du phénomène d'auto-échauffement. Ce phénomène d'auto-échauffement apparaît pour de fortes densités de courant lorsque le transistor est soumis à de fortes polarisations en mode direct. En effet, ces fortes densités de courant induisent une chaleur qui ne parvient pas à se dissiper suffisamment vite ce qui mène à une augmentation des températures de jonction. Ce phénomène est présent au sein de nos dispositifs et se caractérise par une évolution non-monotone du courant collecteur. De plus, l'auto-échauffement n'induit pas l'inversion du courant base ni le phénomène d'avalanche.

La caractéristique du courant collecteur en fonction de la tension  $V_{CE}$  (cf. Figure 106 et Figure 107) montre une allure non-monotone représentative de l'auto-échauffement au sein du dispositif, ceci est valable pour les  $V_{BE}$  les plus élevés. La caractéristique du courant base en fonction de la tension  $V_{CE}$  montre que, dans le cas de l'auto-échauffement, il n'y a pas d'inversion de signe de ce courant. En effet, le courant base continue d'augmenter car l'effet de G-R est réduit avec l'augmentation de la température.

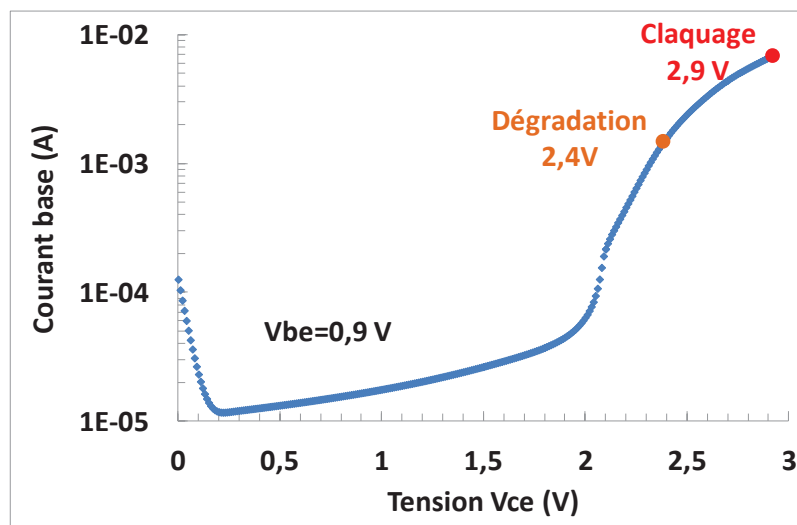


Figure 106 : Evolution du courant base en conditions d'auto-échauffement en fonction de la tension  $V_{CE}$ .

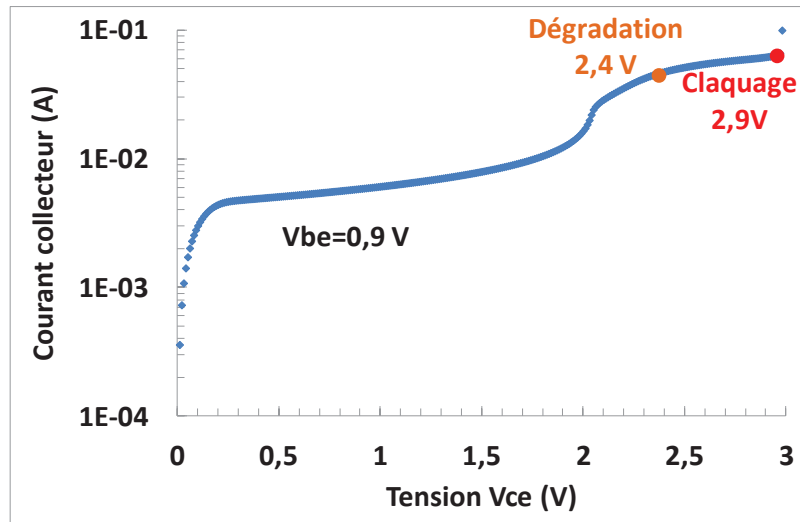


Figure 107 : Evolution du courant collecteur en conditions d'auto-échauffement en fonction de la tension  $V_{CE}$ .

Nous avons réalisé ces expérimentations pour les  $V_{BE}$  qui nous intéressent, nous pouvons alors obtenir les figures représentant les allures du courant collecteur en fonction de la tension  $V_{CE}$  pour deux géométries de transistor dont la longueur est de 5 et 15  $\mu\text{m}$  (cf. Figure 108 et Figure 109). A forts  $V_{BE}$ , pour la plus grande géométrie, nous atteignons la limitation en courant des appareils fixée à  $1.10^{-1}$  A. Les caractéristiques du courant collecteur pour les  $V_{BE}$  les plus faibles sont quasi-constantes en fonction de  $V_{CE}$  jusqu'au claquage du transistor qui survient quelques dizaines de mV après l'augmentation brutale du courant. Par contre, les évolutions des courants collecteurs des  $V_{BE}$  les plus forts présentent des allures pouvant évoluer d'une décade avant le claquage du transistor. Pour les forts  $V_{BE}$ , le claquage des différents transistors testés, de la géométrie dite nominale, se situe à des valeurs de courant collecteur proches ( $4.10^{-2}$  A environ), alors que le transistor possédant une longueur d'émetteur plus grande, limité en courant à 0,1 A, subit des tensions  $V_{CE}$  supérieures à 4V sans que le claquage ne survienne. De ce fait nous allons étudier la densité de courant collecteur afin de définir la valeur critique limitant l'utilisation et provoquant la dégradation du transistor par le phénomène d'auto-échauffement.

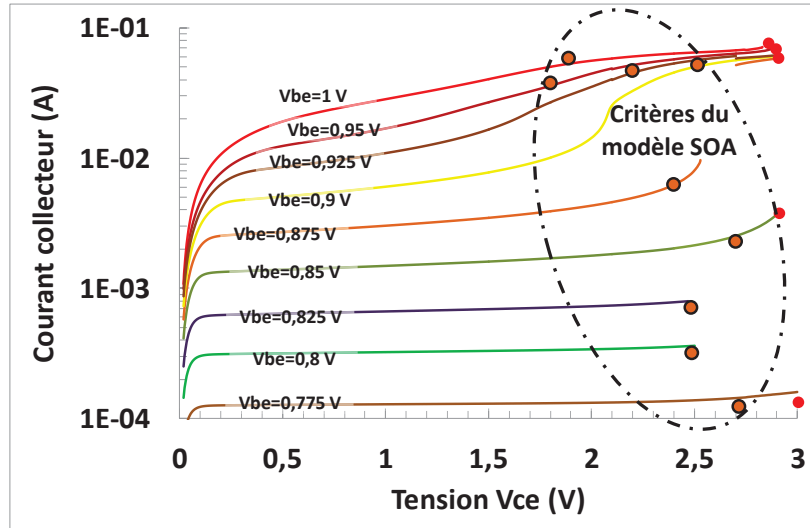


Figure 108 : Evolution du courant collecteur en fonction de la tension  $V_{CE}$  pour la géométrie  $L=5\mu m$ .

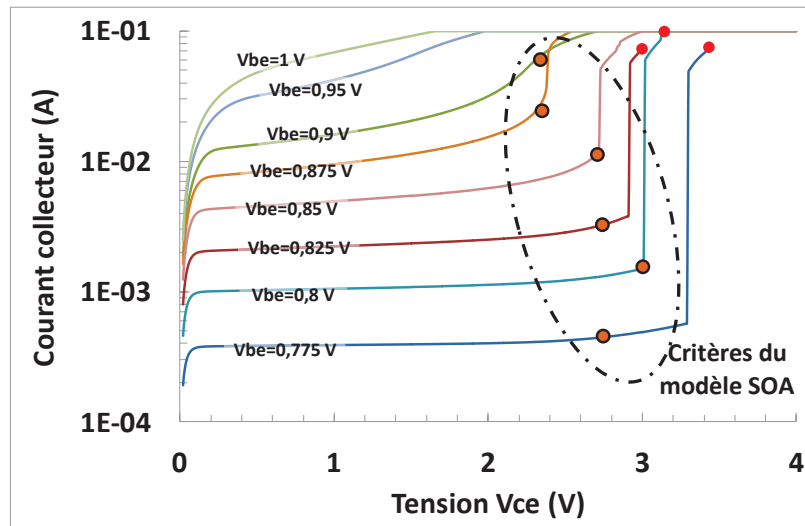


Figure 109 : Evolution du courant collecteur en fonction de la tension  $V_{CE}$  pour la géométrie  $L=15\mu m$ .

Le phénomène d'avalanche, se produisant pour les  $V_{BE}$  investigués les plus faibles, mène au claquage du transistor pour des densités de courant collecteur bien distinctes pour les deux transistors. De ce fait, nous investiguons le comportement du courant base afin d'étudier ce phénomène. Cette étude montre que le courant base des  $V_{BE}$  les plus faibles s'inverse, révélant la mise en avalanche du transistor (cf. Figure 110 et Figure 111). Visuellement, peu de critères communs aux courants base peuvent être perçus sur ces caractéristiques. Les points pour lesquels survient la dégradation causée par l'avalanche se situent à des valeurs de courant base négatives.

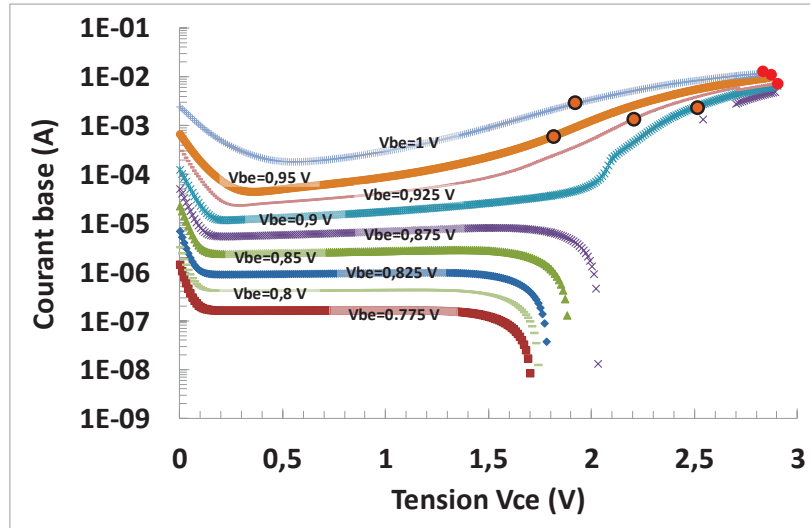


Figure 110 : Evolution du courant base en fonction de la tension  $V_{CE}$  pour la géométrie  $L=5\mu m$ .

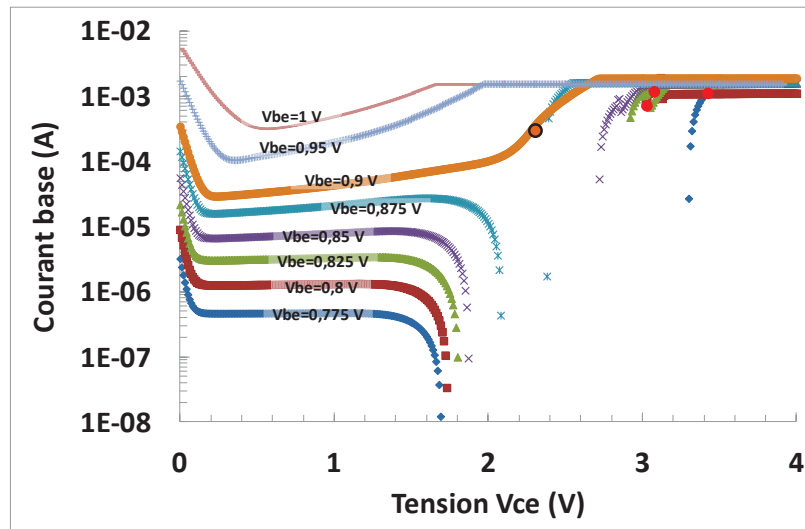


Figure 111 : Evolution du courant base en fonction de la tension  $V_{CE}$  pour la géométrie  $L=15\mu m$ .

Outre les phénomènes de claquages irréversibles décrits par les points rouges sur les caractéristiques, nous montrons par les points orange les polarisations pour lesquelles la dégradation apparaît. C'est grâce aux conditions de polarisations dégradantes que nous allons construire et proposer un modèle SOA du transistor bipolaire ainsi qu'un modèle de vieillissement pour les valeurs des tensions  $V_{BE}$  utilisées dans les circuits millimétriques.

### 3.5 L'établissement du modèle SOA

Suite aux tests des différentes polarisations en tension  $V_{BE}$ , géométries et températures, nous procédons à leur analyse dans le but de définir des critères modélisant le SOA. Ces critères délimitent les polarisations pour lesquelles les mesures de Gummel ne montent pas de

dégradation. En effet, les points orange des deux figures précédentes décrivent les conditions de polarisation conduisant à une dégradation se produisant dès les premiers instants. Les mesures de Gummel sont réalisées lors de la rampe en tension  $V_{CE}$  avec un pas de 0,2 V, ce qui nous mène à choisir les conditions de polarisation du dernier point ne montrant pas de dégradation dans le but d'obtenir un point de polarisation sécurisé. Toutefois, nous constatons grâce aux résultats précédents que la limite d'utilisation définie par la tension  $BV_{CEO}$  dans les règles de dessin ou DRM (design rules manager) peut être repoussée. Nous savons que deux phénomènes physiques bien distincts se produisent au sein des transistors. A travers la densité de courant collecteur, nous investiguons le phénomène d'auto-échauffement se produisant pour les tensions  $V_{BE}$  les plus élevées.

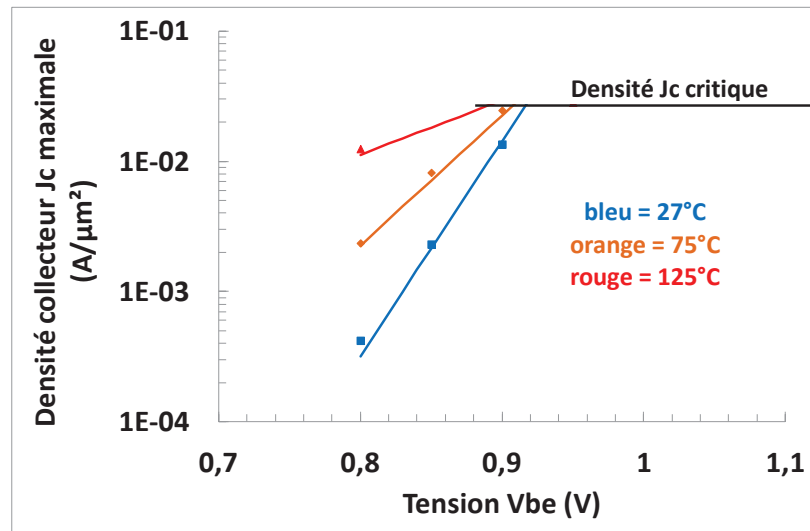


Figure 112 : Evolution de la limite en densité de courant en fonction de la tension  $V_{BE}$  pour les différentes températures investiguées.

Les résultats obtenus montrent une première limite de densité de courant collecteur dépendante de la température et de la tension  $V_{BE}$  (cf. Figure 112). En effet, à température ambiante la densité de courant collecteur croît exponentiellement avec  $V_{BE}$ . Lorsque la température augmente, cette limite évolue vers des densités de courant plus élevées. Ceci confirme que l'interaction des porteurs chauds et des phonons issus des vibrations des atomes excités thermiquement restreint la dégradation. La seconde limite est une densité de courant collecteur, notée  $J_{C_{critique}}$  constante à partir de valeurs de  $V_{BE}$  proches de 0,9 V, et ce, pour toutes les températures investiguées. La limite de polarisation  $J_{C_{critique}}$  induisant une dégradation évolue en fonction de la température et peut-être modélisée à travers l'équation :

$$J_C < \gamma e^{\alpha T} e^{(\beta T + C)V_{BE}} \quad (22)$$

où T représente la température absolue,  $\alpha$ ,  $\beta$ ,  $\gamma$  et C des variables d'ajustement dépendantes de la technologie.

Afin de définir un critère pour lequel survient la dégradation due au phénomène d'avalanche, nous investiguons dans un premier temps le rapport du courant base par sa valeur à  $V_{BC}$  nul, noté  $I_{B_0}$ . Ce rapport est représentatif d'un pourcentage d'évolution du courant base par rapport à sa valeur constante aux faibles  $V_{CE}$ . Cette étude montre qu'il n'y a pas de corrélation entre cette grandeur et la dégradation du courant par les conditions d'avalanche (cf. Figure 113), indiquant que la dégradation n'est pas dépendante de la valeur initiale du courant base.

Nous poursuivons par l'investigation de la densité de courant base générée par l'avalanche. Pour cela, c'est la différence entre la densité de courant base et la densité de courant base constante aux faibles  $V_{CE}$ , notée  $J_{B_0}$ , qui est étudiée (cf. Figure 114). Les résultats obtenus ne nous permettent pas de définir avec précision une densité de courant supplémentaire menant à la dégradation par avalanche. Cependant, l'ordre de grandeur de la plus faible densité de courant menant à la dégradation est de l'ordre du  $\mu A$ . Ainsi, nous définissons cette plus faible différence en densité de courant notée  $\Delta J_{B_{critique}}$ , comme limite de polarisation au-delà de laquelle la dégradation se produit et pouvons la modéliser par :

$$J_B - J_{B_0} < \Delta J_{B_{critique}} \quad (23)$$

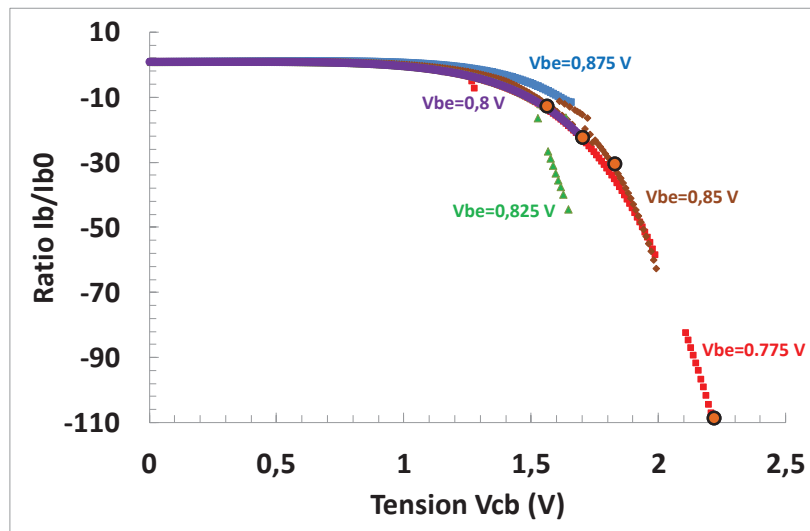


Figure 113 : Evolution du rapport  $\frac{I_B}{I_{B_0}}$  en fonction de la tension  $V_{CB}$  en vue de définir une éventuelle limite.

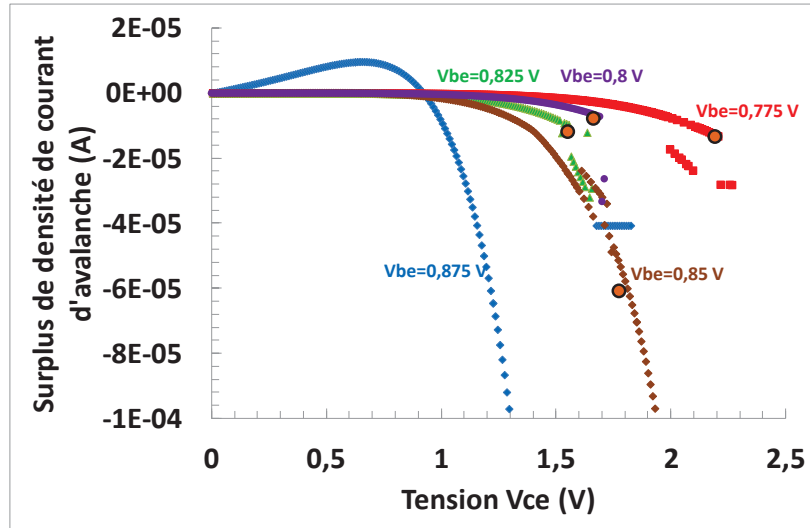


Figure 114 : Evolution de  $\Delta J_B$  en fonction de la tension  $V_{CE}$  montrant les densités de courant avalanche pour lesquelles se produit la dégradation.

Afin de réaliser une première vérification des modélisations réalisées, nous implémentons et programmons ces équations avec le logiciel de tests de STMicroelectronics, nommé SIAM, et procédons aux mesures des courants par des rampes en tension  $V_{CE}$  pour différents  $V_{BE}$  (cf. Figure 115). Les mesures sont réalisées sur un transistor de chacune des géométries étudiées et deux mesures de Gummel sont réalisées avant et après les rampes en  $V_{CE}$ . Les résultats obtenus montrent des limites de polarisation qui restent conservatrices par rapport aux mesures de référence tout en présentant des mesures de Gummel non dégradées (cf. Figure 116).

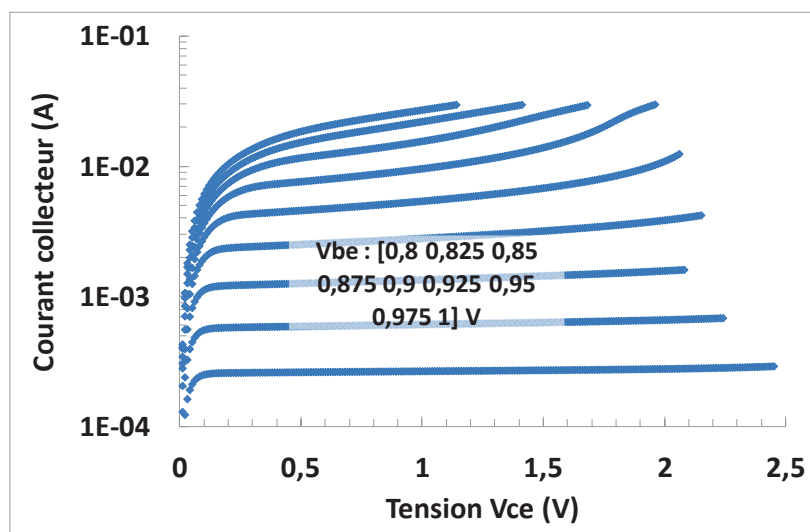


Figure 115 : Mesures des caractéristiques en courant du transistor avec implémentation des conditions de SOA.

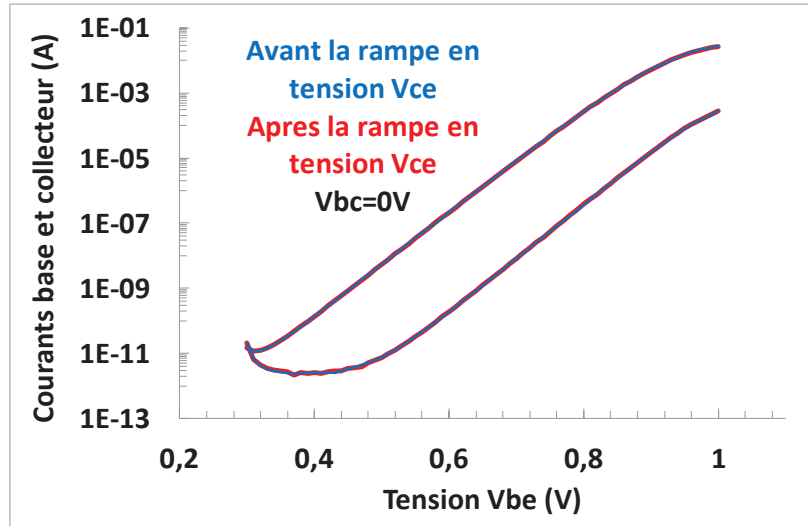


Figure 116 : Mesures de Gummel montrant que le transistor n'est pas dégradé suite à l'implémentation du modèle SOA dans SIAM.

En résumé, les conditions de polarisation pour lesquelles le claquage irréversible survient ainsi que les conditions pour lesquelles la dégradation survient instantanément viennent d'être investiguées. Ces dernières sont modélisées donnant lieu à une première frontière de notre modèle SOA. L'objectif, à présent, est de garantir la fiabilité à long terme du composant en proposant des modèles de vieillissement du composant.

### 3.6 L'implémentation du modèle SOA dans le simulateur Eldo

Les modèles décrits précédemment sont implantés dans le simulateur Eldo à travers les paramètres du modèle HiCuM level 2. Etant donné que cette solution est destinée aux circuits mmW, il faut prendre en compte l'évolution temporelle des valeurs de courant et de tension appliqués aux bornes du transistor (cf. Figure 117). Le but est de présenter des résultats de simulation indiquant les bornes de la variable de simulation pour lesquelles les limites définies dans notre modèle sont franchies. Par exemple, lors d'une simulation transitoire pendant laquelle les limites seront franchies, les valeurs du résultat de simulation seront des bornes temporelles. Ces résultats sont affichés sous forme de « flag ».



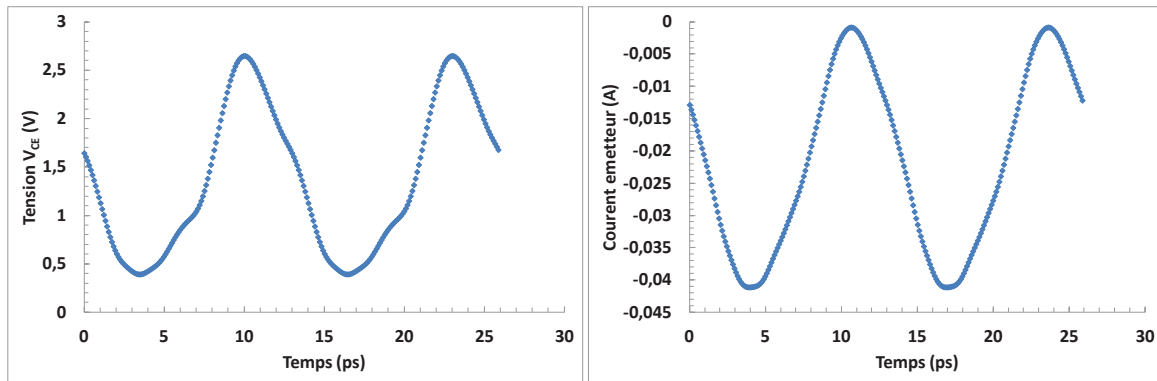


Figure 117 : Exemple d'évolution temporelle de la tension  $V_{CE}$  et du courant  $I_E$  d'un HBT au sein d'un circuit mmW.

En cours de simulation, la syntaxe d'Eldo permet l'obtention des valeurs des tensions à chaque nœud du transistor ainsi que les courants circulants au travers des éléments. Ces derniers sont calculés en temps réel par le simulateur. L'ajout d'un sous-circuit au schéma électrique consistant en une source de tension nulle d'impédance 50 Ohm aux bornes du collecteur et de la base permet l'obtention de la valeur des courants.

Concernant la programmation des modèles, nous utilisons la fonction proposée par le simulateur Eldo « .setsoa » permettant la définition des limites de SOA. Nous pouvons ainsi programmer des conditions, telles que les activations des limites en densité de courant collecteur lorsque le courant base reste positif et en densité de courant base lorsque le courant base devient négatif. Les équations définies peuvent être implémentées en utilisant des paramètres tels que la température qui sont directement accessibles par le simulateur. Nous pouvons à présent nous intéresser aux résultats issus de ces simulations.

Avant de procéder aux simulations des circuits, nous proposons de simuler un transistor bipolaire afin de comparer les résultats issus de nos mesures avec ceux de la simulation (cf. Figure 118). Cette comparaison nous indique que des différences mineures peuvent subsister, ces dernières sont dues aux écarts entre les mesures et les simulations. Nous pouvons extrapoler notre modèle SOA en température afin de connaître le comportement des limites pour les températures qui n'ont pas pu être atteintes.

$V_{BE}$ (V)	Temperature									
	-50		27		75		125		150	
	Simu	Mesure	Simu	Mesure	Simu	Mesure	Simu	Mesure	Simu	Mesure
0.8			2.55	2.3	2.15	2.3	2.1	2.7	2.45	
0.85	1.8		2.1	2.1	1.7	2.3	1.9	1.9	2.1	
0.9	2		2.1	2.1	1.95	2.3	1.8	1.7	1.75	
0.95	2.65		1.8	1.7	1.55	1.5	1.5	1.5	1.5	
1	1.9		1.7	1.5	1.5	1.5	1.5	1.5	1.5	

Figure 118 : Comparaison entre les limites obtenues en simulation et celles obtenues en caractérisation pour la géométrie nominale.

### 3.7 La modélisation du vieillissement des transistors bipolaires à hétérojonctions

Concernant la fiabilité à long terme du transistor bipolaire, nous savons que le courant de G-R du courant base ainsi que le bruit basse fréquence se dégradent. Bien que le comportement du courant base n'impacte pas le fonctionnement ou les performances des circuits, nous allons étudier son évolution dans les conditions de stress définies par notre modèle SOA. Ainsi, nous définissons des conditions représentatives de l'auto-échauffement et du régime d'avalanche. De plus, les mesures que nous présentons dans cette partie sont réalisées au pic de la fréquence de transition, à savoir un  $V_{BE}$  de 0,91 V pour cette technologie.

Concernant la dégradation dans les conditions d'auto-échauffement, les résultats obtenus indiquent que la dégradation du courant base tend vers une valeur limite (cf. Figure 119). Ceci est expliqué par la dualité entre la dégradation qui génère les défauts et l'auto-échauffement qui contribue à la passivation des défauts. En condition d'avalanche, l'évolution du courant base est différente (cf. Figure 120). En effet, malgré certaines fluctuations, l'évolution du courant base indique une dépendance en fonction du temps.

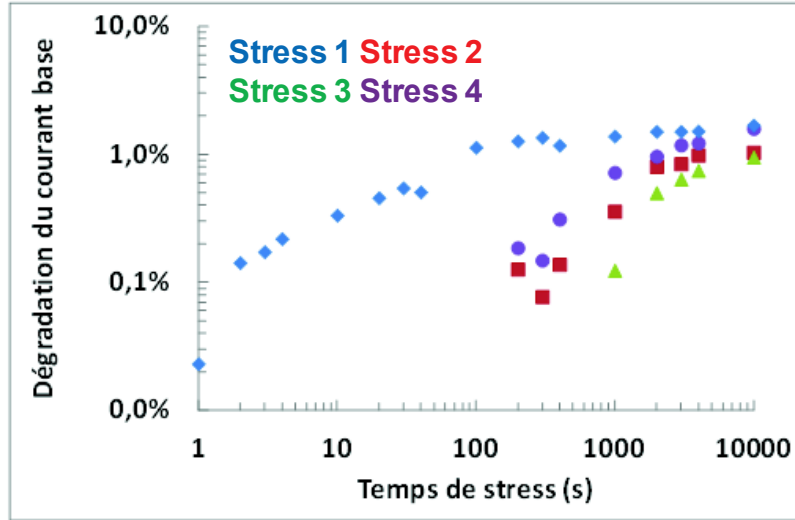


Figure 119 : Evolution de la dégradation du courant base en fonction du temps dans les conditions d'auto-échauffement.

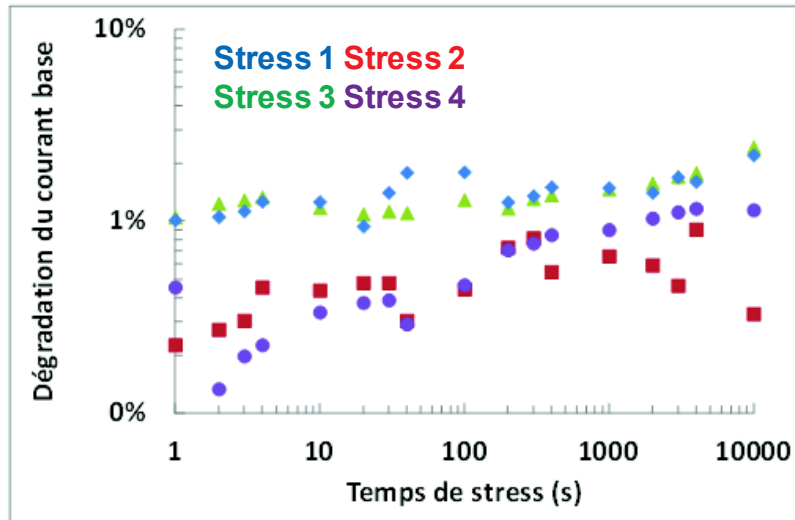


Figure 120 : Evolution de la dégradation du courant base en fonction du temps dans les conditions d'avalanche.

Ainsi, grâce à une régression, nous proposons de modéliser la dépendance temporelle de l'évolution du courant base en conditions d'auto-échauffement par l'équation suivante :

$$\Delta I_B = \frac{A}{t^{\frac{1}{p}+B}} \quad (24)$$

De même, pour l'évolution en régime d'avalanche :

$$\Delta I_B = C t^q \quad (25)$$

où  $t$  représente le temps,  $A$ ,  $B$  et  $C$  des variables dépendantes des polarisations appliquées,  $p$  et  $q$  représentent des coefficients d'accélération liés respectivement à chacun des modes. Ceci

nous permet de réaliser des extrapolations sur la durée de vie des circuits incluant des HBT (cf. Figure 121).

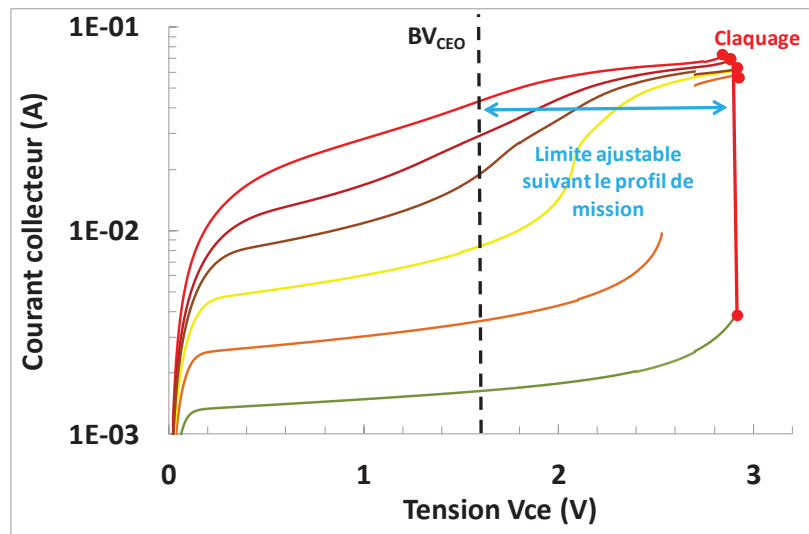


Figure 121 : Exemple d'évolution des limites de polarisation du transistor menant à respecter différents profils de missions.

Concernant l'évolution du bruit basse fréquence, nous avons pu voir que les dégradations n'étaient pas systématiques et qu'il est très difficile de prédire son évolution. Cependant, l'étude réalisée dans le premier chapitre montre que le pire cas de dégradation obtenu sur 40 transistors stressés mène à une augmentation du bruit basse fréquence de l'ordre de 4 décades. Ainsi, nous prenons le choix de modéliser la dégradation du bruit basse fréquence par un modèle, dit « fin de vie », correspondant à une augmentation de la valeur du bruit basse fréquence de 4 décades. Un modèle incluant l'évolution du bruit basse fréquence en fonction du temps est difficilement réalisable en vue du caractère stochastique des mécanismes de défaillance mis en jeu.

Nous procédons à l'implémentation de ces résultats afin de prédire le comportement des transistors ayant atteint cette limite et simuler l'évolution correspondante des circuits utilisant ces transistors. Ces résultats constituent notre dernier chapitre.

### 3.8 Conclusion

Le but de cette étude a été de répondre à la demande croissante d'évaluation de la fiabilité du transistor quand celui-ci est polarisé au-delà de la tension BV<sub>CEO</sub>. Nous avons vu que le transistor bipolaire est exposé à deux phénomènes menant au claquage irréversible, à

savoir, l'auto-échauffement et le régime d'avalanche. L'apparition de chacun de ces phénomènes peut être délimitée par des conditions de polarisations distinctes qui ont été modélisées. En effet, la première borne est modélisée par une densité de courant collecteur critique pour prévenir la dégradation instantanée en conditions de polarisations d'auto-échauffement. La seconde borne est relative au phénomène d'avalanche et est déterminée par une densité de courant base critique générée par ce phénomène et au-delà de laquelle le transistor est dégradé.

En ce qui concerne les dégradations à long terme, les études menées révèlent deux tendances d'évolution du courant base. La première évolution est liée à l'auto-échauffement, cette dernière montre une saturation de la dégradation dans le temps et la seconde évolution liée au phénomène d'avalanche indique une dépendance temporelle en puissance qui ne sature pas pour les temps de stress définis. Enfin, nous proposons un modèle fin de vie du transistor afin de modéliser le pire cas de vieillissement du bruit basse fréquence. Ainsi, nous introduisons le quatrième et dernier chapitre de ce manuscrit qui concerne les résultats de fiabilité des circuits et les résultats des simulations de fiabilités associés.



## **Chapitre 4 : L'impact de la fiabilité des transistors**

### **bipolaires sur les circuits mmW conçus en**

### **technologie BiCMOS**

Ce chapitre est dédié à l'étude de la fiabilité des circuits fonctionnant dans le domaine des fréquences millimétriques et utilisant des transistors bipolaires à hétérojonctions. Cette étude est relative à la dégradation des performances des circuits sous l'impact de la dégradation des transistors bipolaires. Les circuits étudiés constituent les blocs critiques d'une chaîne d'émission et de réception (cf. Figure 122) dont la fiabilité est importante afin de ne pas compromettre tout le système. De plus, cette étude nous fournit les premiers résultats de fiabilité de produits en cours de développement utilisés pour le standard wHDMI fonctionnant à 60 GHz ou le radar anticollision automobile fonctionnant à 77 GHz.

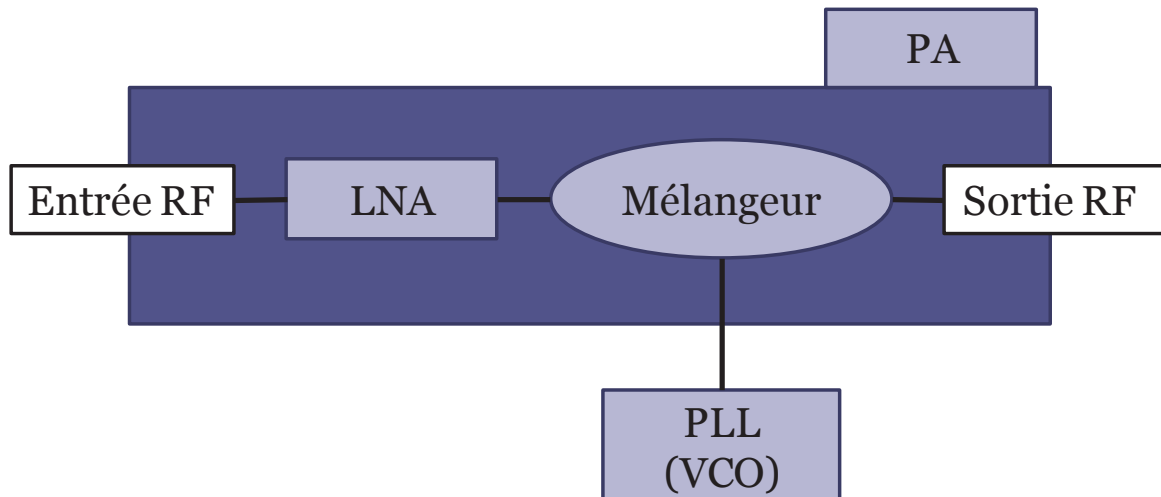


Figure 122 : Schéma d'une chaîne de réception.

De manière générique, nous présentons rapidement, dans un premier temps, le circuit étudié puis nous définirons les stress des circuits afin que les composants actifs atteignent les niveaux de dégradation souhaités pour enfin présenter les résultats de fiabilité du circuit testé sur silicium. La définition des stress est une étape critique de l'étude des circuits. En effet, nous devons nous assurer que les transistors présents au sein des circuits subissent des polarisations courant/tension suffisamment élevées pour se dégrader. Outre les stress que nous réalisons avec une polarisation continue, nous présenterons des résultats de dégradation sous stress RF. Les circuits en technologie BiCMOS étudiés sont deux amplificateurs faible bruit ou LNA (Low Noise Amplifier), l'un fonctionnant à 70 GHz et l'autre à 77 GHz, un mélangeur fonctionnant à 77 GHz et un oscillateur commandé en tension ou VCO (Voltage Controlled Oscillator) oscillant à 60 GHz.

#### 4.1 Les études de circuits issues de la littérature

L'étude de la dégradation des performances des circuits conçus en technologie bipolaire n'est pas très développée. En effet, peu d'études rapportent des résultats à ce propos.

Une première étude de la dégradation d'un LNA conçu avec des HBT InGaP/GaAs est réalisée à travers des simulations [36], [37]. Ces simulations sont réalisées avec le simulateur Cadence Spectre RF pour visualiser la dégradation des caractéristiques RF du LNA. Les résultats donnent une dégradation des paramètres S, du NF et du point d'interception d'ordre 3 (IIP3) (cf. Figure 123). La même approche est réalisée sur un PA de classe AB, les dégradations de la puissance de sortie et du rendement sont rapportées comme négligeables.



Paramètres à 2,4 GHz	Temps de stress		
	Initial	500 Heures	2000 heures
S11 dB	-45,31	-43,59	-42,57
S12 dB	-87,33	-87,37	-87,57
S21 dB	13,08	12,67	11,33
S22 sB	-101,3	-83,82	-78,05
NF dB	2,71	2,73	3,04
NFmin dB	2,61	2,62	2,89
IIP3 dBm	5,33	4,89	3,16

Figure 123 : Caractéristiques avant et après stress du LNA étudié dans la littérature [37].

Une seconde étude concerne un cœur de PA cascadié conçu en technologie bipolaire et soumis à des stress RF [38]. L’auteur émet l’hypothèse que la dégradation de la composante de G-R du courant base d’un HBT n’a aucun impact sur le comportement d’un circuit RF. Le cœur du PA stressé en RF par des puissances de -10 et 0 dBm à 9,5GHz montre des dégradations du courant base sur la caractéristique de Gummel même lorsque le HBT est polarisé par une tension de stress  $V_{CB}=0V$ . Un sous circuit comprenant une diode permet de modéliser le courant base en excès. Des simulations transitoires du cœur du PA sont réalisées afin de connaître le comportement des courants après vieillissement. Les simulations des dégradations des courants du circuit sont en accord avec les mesures.

La dernière étude répertoriée est réalisée sur un VCO conçu en technologie BiCMOS 0,25  $\mu m$  fonctionnant à 77 GHz pour des applications de radar automobiles [39]. Le VCO est une topologie Colpitts différentielle et d’un buffer (dernier étage en base commune) de type cascadié qui permet l’amplification du signal et l’isolation entre le cœur du VCO et la charge. Le VCO est stressé durant 12 heures et aucune dégradation de la puissance de sortie, de la consommation, de la fréquence d’oscillation et du bruit de phase n’est observée.

#### 4.2 La description de la méthodologie de test de fiabilité des circuits

La méthode appliquée dans le cadre de la réalisation des stress des circuits étudiés est similaire aux tests d’OLT (Operating Life Test) qui sont utilisés dans l’industrie. Pour réaliser ces tests, il faut tout d’abord définir les stress que nous voulons appliquer aux composants actifs du circuit. Cette étape se déroule à travers des simulations électriques en augmentant les polarisations appliquées aux différentes entrées du circuit. Les courants et tensions vues aux bornes des composants actifs seront augmentés aussi et peuvent être relevés lors de ces simulations. Il faut choisir les conditions de polarisation menant à des polarisations dégradant

les composants actifs. Ces dernières sont appliquées, en tests électriques, aux composants actifs isolés sur silicium afin de connaître l'état final de la dégradation au sein du circuit. Lorsque les stress électriques des composants actifs induisent une dégradation suffisante, la condition est retenue. Le circuit est caractérisé avant et après le stress. Ce sont les valeurs des stress ainsi que les résultats des caractérisations avant et après stress qui seront présentés pour chacun des circuits.

Cette partie est dédiée à l'étude de la dégradation des performances des circuits conçus en technologie bipolaire. Le but est de connaître l'impact de la dégradation du transistor bipolaire sur les performances des applications mmW.

#### 4.3 L'environnement de simulation utilisé

Pour les simulations électriques des transistors nous avons utilisé le simulateur Eldo de Mentor Graphic. En effet, ce simulateur permet de définir des limites SOA à travers une syntaxe simple. Le modèle utilisé pour le transistor bipolaire est le modèle HiCuM (High Current Model) level 2 (cf. Figure 124). Ce modèle est précis et permet de reproduire correctement le comportement des HBT dans des gammes de fréquence et de polarisation pour lesquelles d'autres modèles peuvent connaître des limitations. Outre le comportement dynamique du transistor, l'auto-échauffement ainsi que l'effet d'avalanche sont pris en compte au sein de ce modèle. Enfin, nous pouvons constater un nombre plus important de paramètres au sein du modèle HiCuM level 2 par rapport au modèle STBJT reflétant sa complexité et sa précision à la fois.

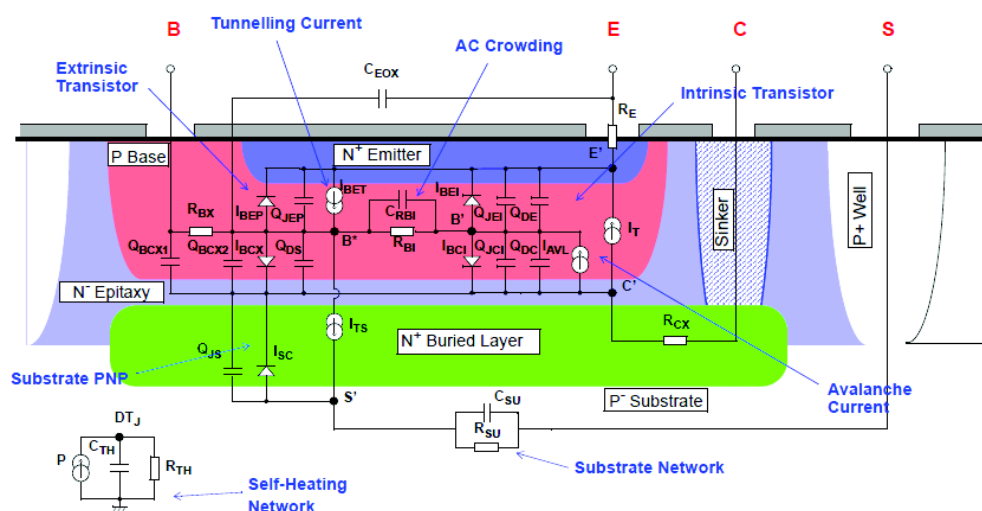


Figure 124 : Schéma électrique du HBT suivant le modèle HiCuM level2.

Nous étudions les caractéristiques en courant des HBT obtenues en simulations afin de les comparer aux mesures. Le but est de vérifier que les simulations reproduisent le comportement réel et les phénomènes physiques des HBT dans la gamme de polarisation qui nous intéresse. Ceci nous permettra de s'assurer que les modèles développés génèrent des limites telles que définies par les mesures.

L'étude des simulations du courant collecteur montre que les effets d'auto-échauffement sont correctement reproduits. Pour la géométrie dite nominale, les caractéristiques des simulations et des mesures se superposent pour les forts  $V_{BE}$  (cf. Figure 125), cependant, un écart entre les deux résultats est obtenu pour la plus grande géométrie. La comparaison des mesures et des simulations indique que la modélisation du phénomène d'avalanche, traduit par un courant base de signe négatif et une augmentation brutale du courant collecteur, est peu précise à travers les courbes de simulation du courant collecteur. De plus, l'augmentation brutale du courant collecteur n'est pas bien prise en compte.

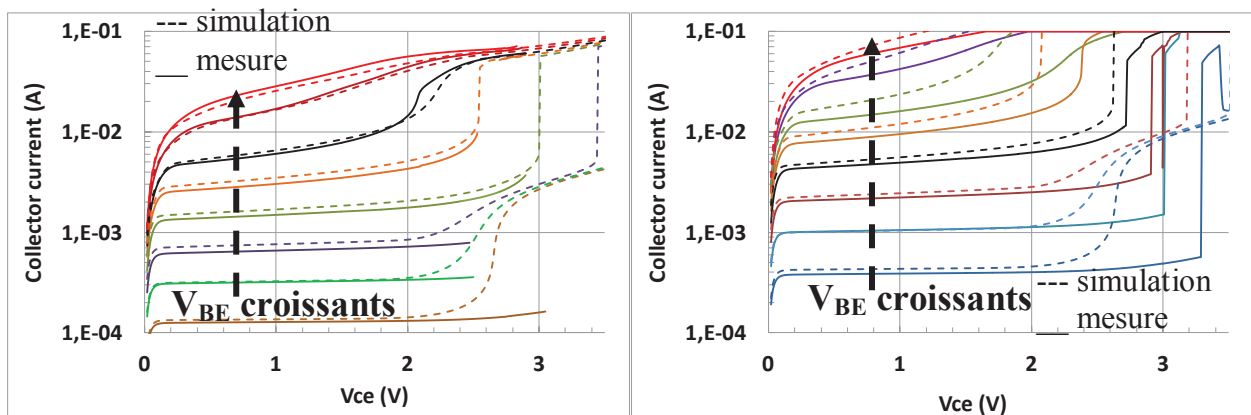


Figure 125 : Comparaison entre le courant collecteur mesuré (continu) et simulé (pointillé) pour la géométrie dite nominale (gauche) et la géométrie  $L=15\mu m$  (droite).

Les limites de polarisation pour le régime d'avalanche utilisent des expressions définies à partir du courant base. Malgré une différence entre le courant collecteur mesuré et celui simulé pour les  $V_{BE}$  concernés par le régime d'avalanche, les caractéristiques de courant base obtenus sont semblables et peuvent se confondre jusqu'au changement de signe du courant (cf. Figure 126). Cependant, la plus grande géométrie de transistor montre un second aspect limitant concernant la différenciation entre les régimes d'auto-échauffement et d'avalanche. En effet, une caractéristique de courant base est simulée dans le régime d'auto-échauffement et ne devient pas négatif contrairement aux résultats de caractérisation.

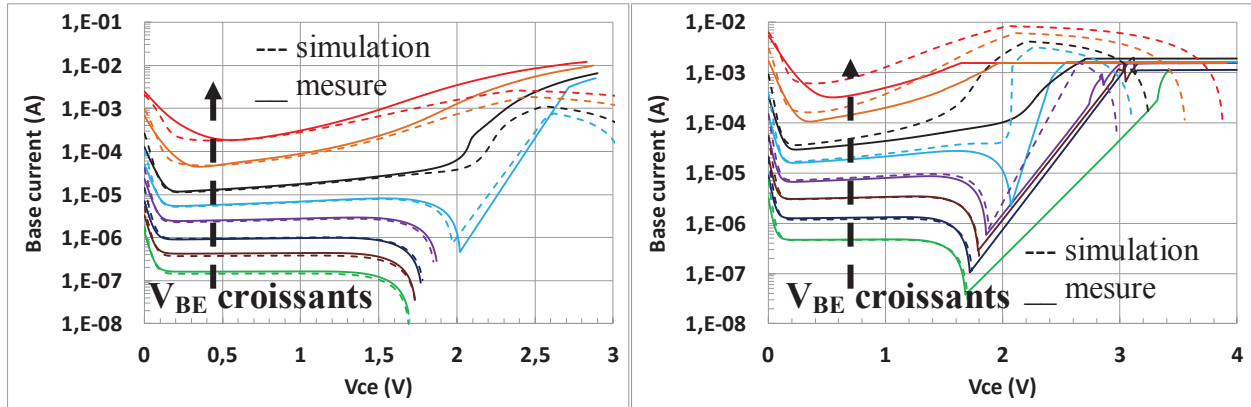


Figure 126: Comparaison entre le courant base mesuré (continu) et simulé (pointillé) pour la géométrie dite nominale (gauche) et la géométrie  $L=15\mu\text{m}$  (droite).

En ce qui concerne les valeurs négatives du courant base, les valeurs obtenues en simulation ainsi que celles obtenues en caractérisation correspondent et sont similaires (cf. Figure 127), excepté le cas représenté par la courbe cyan pour la géométrie de transistor de  $15\mu\text{m}$  où la mesure montre un régime d'avalanche alors que la simulation indique un effet d'auto-échauffement. Cette différence n'est survenue que pour cette géométrie à ce  $V_{BE}$  donné lors de nos expérimentations et nous indique que ce type d'incohérences peut exister. Toutefois, les comparaisons réalisées nous confortent car les limites définies à travers notre modèle reposent sur la densité de courant base pour l'effet d'avalanche d'auto-échauffement ainsi que la densité de courant collecteur pour le phénomène d'auto-échauffement.

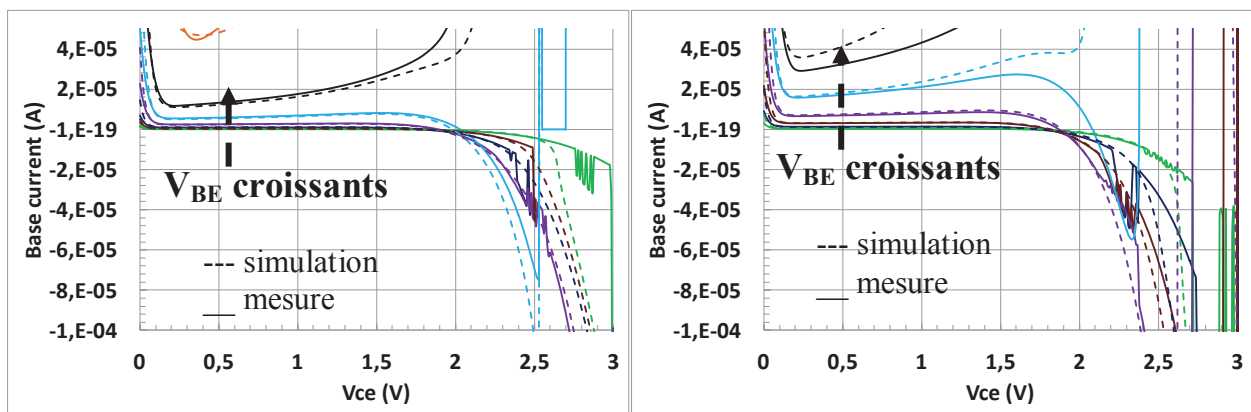


Figure 127 : Comparaison entre le courant base mesuré (continu) et simulé (pointillé) pour la géométrie dite nominale (gauche) et la géométrie  $L=15\mu\text{m}$  (droite).

Deux types de simulations peuvent être réalisées afin d'évaluer la fiabilité des circuits conçus en technologie bipolaire. Le premier consiste à simuler le circuit afin de savoir si les transistors ne sont pas soumis à des polarisations pouvant induire des dégradations dès les

premiers instants de fonctionnement. Le second type permet de connaître l'évolution des performances des circuits lorsque les HBT du circuit ont été dégradés.

La réponse des simulations du transistor seul est transcrite sous forme de « flag », en effet, c'est au niveau des résultats de la simulation que les « warnings » sont affichés. Ces messages indiquent que les limites sont franchies par le transistor, de plus, les bornes de la variable de simulation pour lesquelles les limites sont franchies sont aussi données.

Les simulations du SOA n'ont pas été réalisées pour les circuits, cependant, nous simulons le comportement de ces derniers lorsque les transistors bipolaires sont dégradés ou « vieillis ». Au préalable, des simulations initiales nous permettent de valider la cohérence entre les résultats obtenus en simulation et en mesure. Le but de cette étude est de confirmer les résultats obtenus sur silicium d'une part, et d'autre part, de valider l'approche pour laquelle nous avons opté.

#### 4.4 Les caractéristiques et spécifications des circuits testés

Les circuits analogiques fonctionnant dans la gamme de fréquences mmW et testés au cours de ces travaux ont été conçus au sein de l'entreprise STMicroelectronics pour différentes applications. Les applications concernées par ces circuits sont le radar automobile anticollisions fonctionnant à 77 GHz ainsi que le standard WHDMI fonctionnant à 60 GHz. Nous présentons au cours de cette partie les différentes spécifications des circuits étudiés.

En nous intéressant au projet du radar automobile anticollisions, nous présentons un LNA ainsi qu'un mélangeur. Les spécifications du client sont données pour l'ensemble de la chaîne de réception (cf. Figure 128). Cette tête de réception est composée d'un LNA, d'un balun pour passer d'une entrée unique à une sortie différentielle et d'un mélangeur.



#### 4.5 Etude du LNA 77 GHz

Le LNA a pour but d'amplifier le signal utile en y ajoutant le minimum de bruit supplémentaire. Ce premier LNA est conçu en technologie BiCMOS9MW en vue de l'application radar anticollision automobile fonctionnant à 77 GHz. Il est composé d'un étage en émetteur commun et permet de compenser les pertes du « balun » le reliant au mélangeur différentiel (cf. Figure 130).

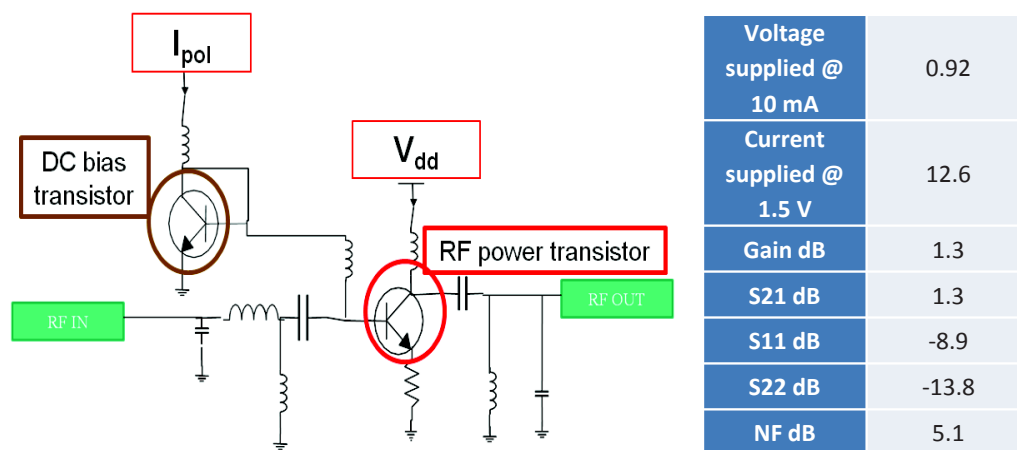


Figure 130 : Représentation schématique du LNA 77 GHz ainsi que les résultats de simulations de ses caractéristiques.

Le courant de polarisation  $I_{pol}$  et la tension  $V_{DD}$  représentent nos bras de levier pour appliquer les stress (cf. Figure 131). Afin de définir les stress, des simulations sont réalisées en faisant varier les polarisations du LNA tout en s'assurant que les simulations reproduisent correctement le fonctionnement réel du circuit. Les courants et les tensions vus par les transistors en condition de stress sont connus à partir de ces simulations et sont reproduits sur des transistors isolés sur Silicium afin de s'assurer d'une dégradation significative (cf. Figure 132).

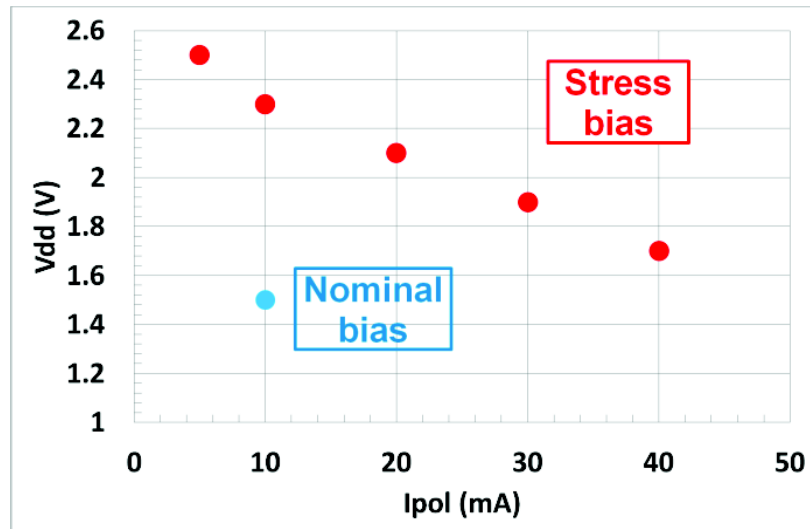


Figure 131 : Conditions de stress (rouge) définies grâce aux simulations en regard des conditions de polarisation nominales (bleu).

LNA DC		RF Transistor		
Vdd (V)	Ipol (mA)	I <sub>e</sub> (mA)	V <sub>be</sub> (V)	V <sub>ce</sub> (V)
Nominal 1.5	Nominal 10	12.6	0.86	1.42
1.7	40	59.2	0.917	1.4
1.9	30	51	0.907	1.65
2.1	20	38.2	0.89	1.9
2.3	10	18	0.863	2.2
2.5	5	8.2	0.842	2.5

Figure 132 : Récapitulatif des conditions de stress des LNA et des conditions vues par les HBT du circuit.

Concernant la dégradation des HBT du circuit, le graphique ci-dessous montre l'évolution du courant base pour la condition  $V_{CE}=2,5$  V et  $I_E=8,2$  mA. Comme attendu, la dégradation se produit dans la zone de faible courant de base et la zone de gain où se situe le point de fonctionnement du transistor dans le circuit n'est pas impactée (cf. Figure 133).



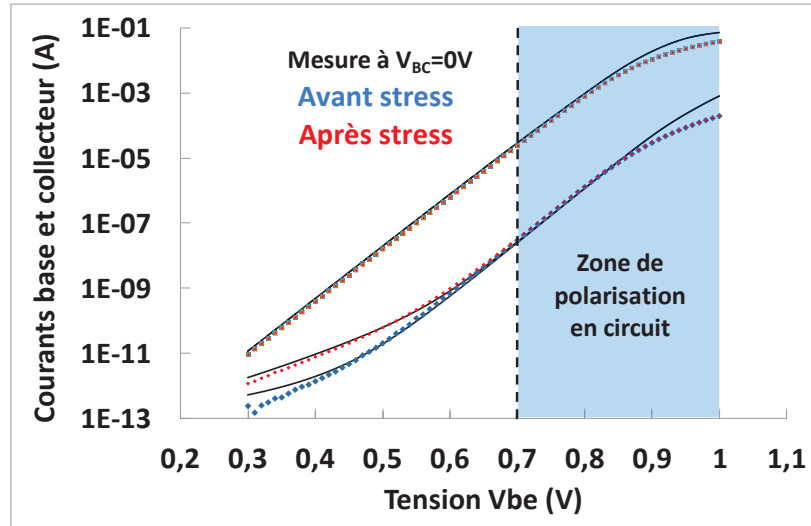


Figure 133 : Dégradation du courant base du HBT présent au sein du LNA ainsi que les simulations des coins procédés utilisés pour extraire les paramètres vieillis du transistor.

Une étude de la dégradation des paramètres S du LNA a été réalisée. Pour cela, vingt-deux LNA sont stressés et chaque condition de stress est répétée deux fois afin de valider les résultats obtenus. De plus, deux LNA sont caractérisés et définis comme références. Les mesures de paramètres S des LNA sont répétées avant et après stress et sont réalisées à une puissance de -10 dBm. Dans un premier temps, nos résultats nous permettent de valider nos mesures à travers la reproductibilité du paramètre du gain petit signal S21 à 77 GHz. Dans un second temps, les résultats obtenus ne montrent pas de dégradation significative, en effet, les caractéristiques avant et après stress se confondent et il en est de même pour les LNA de référence (cf. Figure 134). Afin de valider ce résultat, nous reproduisons cette étude à travers un second équipement de mesures millimétriques et les résultats concordent.

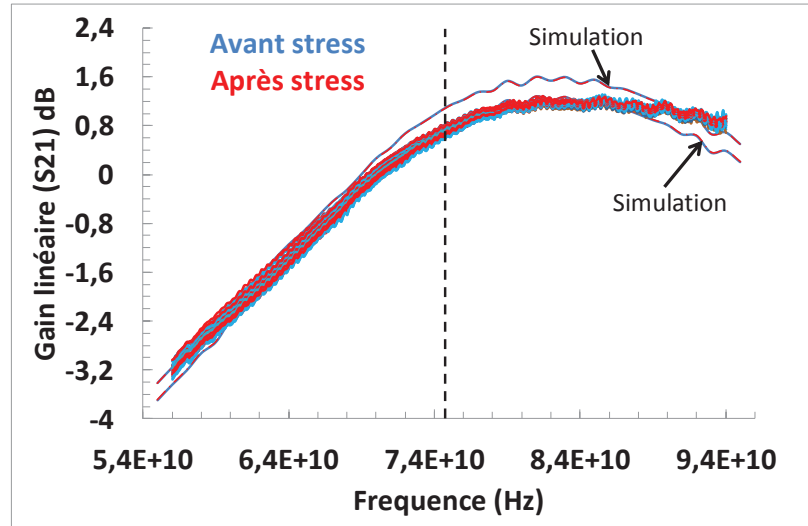


Figure 134 : Comparaison du paramètre du gain petit signal  $S_{21}$  avant et après stress.

Nous réalisons des simulations des variations induites par les procédés de fabrication qui englobent les caractéristiques des LNA qui ont été testés. La prise en compte de la dégradation des transistors se traduit par l'augmentation du paramètre lié à la G-R du courant base. Ce dernier peut être extrait à partir de tests sur HBT isolés utilisés pour s'assurer d'une dégradation suffisante au sein des circuits. Ces résultats de simulation montrent que les caractéristiques avant et après vieillissement de tous les paramètres S se superposent.

Outre les paramètres S du LNA, les performances en puissance ainsi que le point de compression d'ordre 1 (IP1) sont étudiés. La caractérisation avant et après stress est réalisée et, de même que l'étude des paramètres S, nous conservons un circuit de référence non stressé. Nous présentons les résultats obtenus en traçant le gain en puissance en fonction de la puissance d'entrée pour les différents LNA stressés ainsi que le LNA de référence. Nous constatons que la caractérisation après stress nous fournit des allures de gains en puissance similaires pour les LNA stressés et le LNA de référence (cf. Figure 135). Ce résultat est aussi valable pour l'IP1. Nous pouvons conclure que ces performances ne sont pas impactées par la dégradation des caractéristiques des HBT.

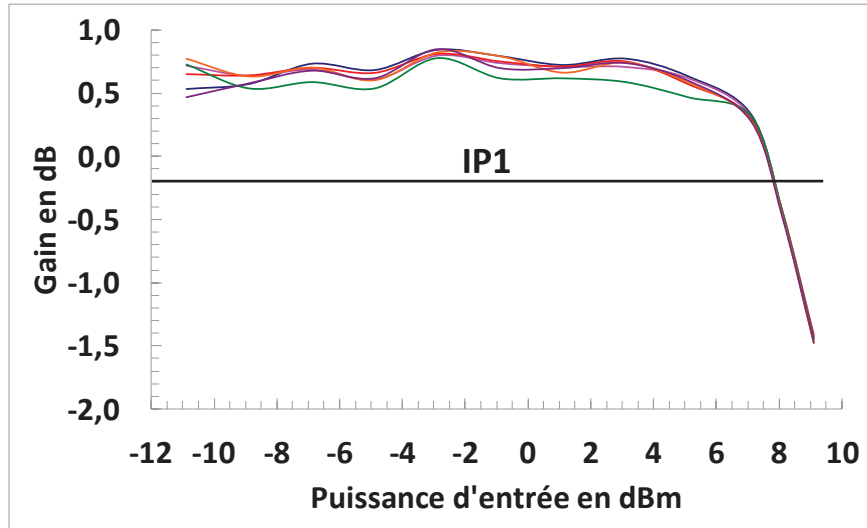


Figure 135 : Comparaison du gain en puissance avant et après stress des LNA stressés en DC.

À nouveau, nous simulons le gain en puissance ainsi que le point de compression au premier ordre du LNA et obtenons les mêmes résultats que les simulations initiales. Lors de ces simulations, nous procédons à l'analyse du comportement des courants des HBT du LNA en fonctionnement. Ces simulations indiquent que, lors du fonctionnement en puissance du LNA, les courants peuvent prendre des valeurs négatives (cf. Figure 136 et Figure 137) sans impacter le fonctionnement et les performances du circuit. Ce dernier résultat permet de confirmer définitivement l'indépendance des performances des LNA par rapport à la dégradation du courant base des transistors.

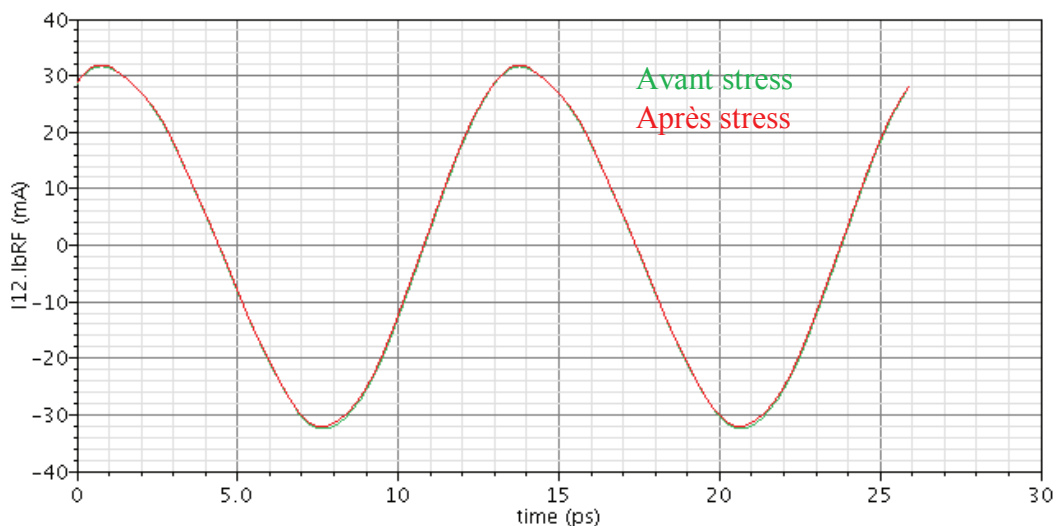


Figure 136 : Simulation du courant de base du HBT lors du fonctionnement en puissance du LNA.

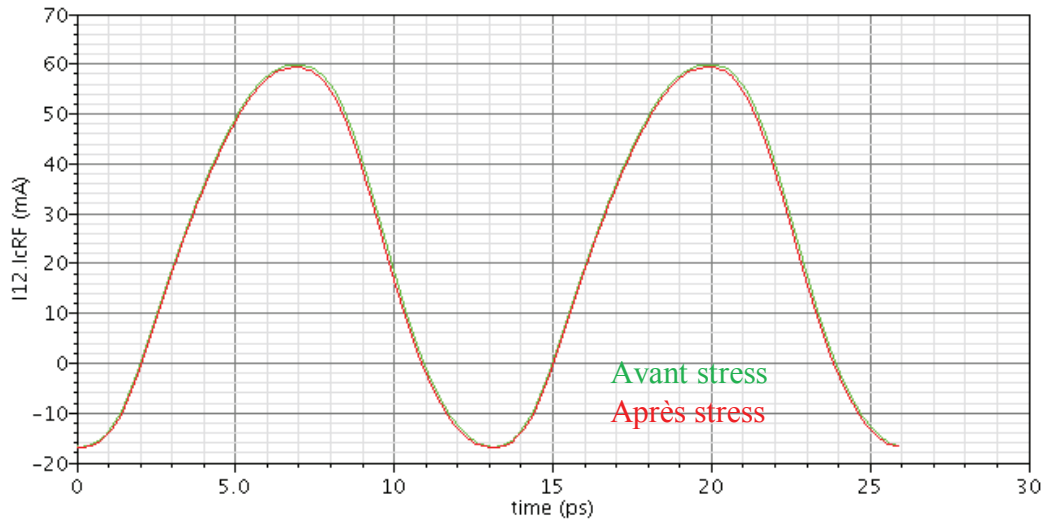


Figure 137 : Simulation du courant de collecteur du HBT lors du fonctionnement en puissance du LNA.

Ces résultats de simulation nous confortent dans notre conclusion indiquant que les caractéristiques des HBT qui se dégradent n'impactent ni les performances de gain en puissance ni les paramètres S des amplificateurs faible bruit.

#### 4.6 Etude du LNA 70 GHz

La partie précédente adresse la dégradation des paramètres S et du gain en puissance d'un LNA sous l'impact de stress continus. Les résultats ne montrent pas de dégradation et, afin de confirmer ces résultats, nous procédons à des stress en puissance RF sur un second LNA fonctionnant à 70 GHz. Ce LNA à 1 étage est composé d'un transistor bipolaire CBE-BC en montage émetteur commun. Le stress en puissance consiste à polariser le circuit par une tension supérieure à la tension nominale, tout en appliquant une puissance équivalente à la puissance de compression du circuit. Les caractérisations avant et après stress sont cette fois réalisées sans lever les pointes (cf. Figure 138), c'est-à-dire, sans perdre le contact afin de ne pas changer d'environnement entre les deux caractérisations.

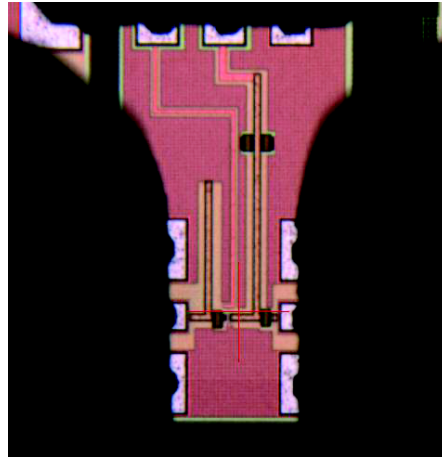


Figure 138 : Photographie du LNA 70 GHz au cours des tests sous pointes.

Suite aux résultats obtenus sur les vingt-deux LNA, nous choisissons un nombre réduit, à savoir six LNA, pour cette étude. Le gain en puissance ainsi que les paramètres S sont analysés. L'étude du gain en puissance montre et confirme les résultats établis dans la partie précédente. En effet, en appliquant différentes tensions à la puissance de la compression du LNA sur des durées allant jusqu'à 10000 secondes, les caractéristiques avant et après stress se confondent et nous permettent de conclure que le gain en puissance des LNA n'est pas impacté par la dégradation des HBT sous stress RF (cf. Figure 139). Les simulations de fiabilité ne sont pas présentées sur le graphique, cependant, ces dernières n'indiquent pas de dégradations du gain.

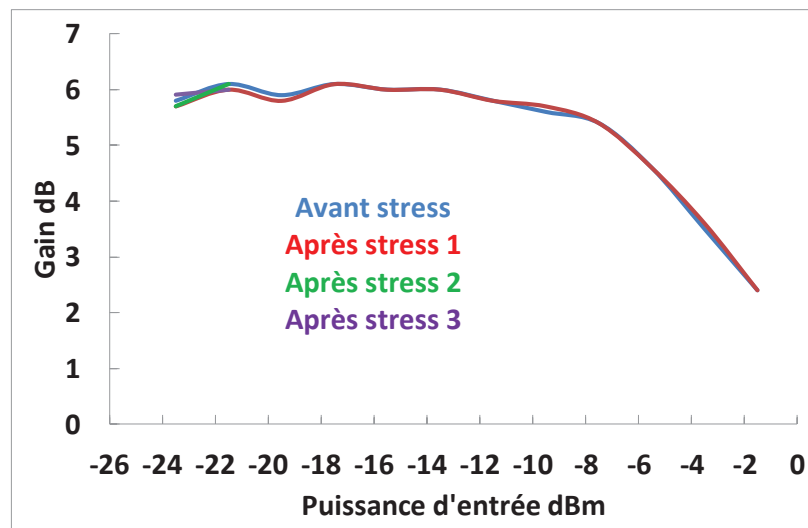


Figure 139 : Comparaison du gain en puissance avant et après stress des LNA stressés en puissance RF.

Concernant les paramètres S, nous choisissons de présenter les résultats obtenus pour la pire condition de stress. Sur le tracé du gain petit signal S21 caractérisé avant et après stress,

les deux caractéristiques se superposent comme cela était attendu (cf. Figure 140) et les simulations indiquent le même résultat.

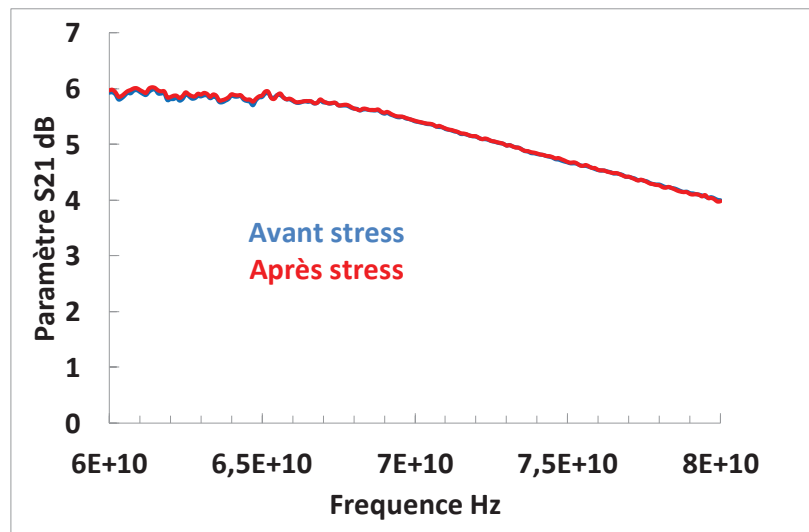
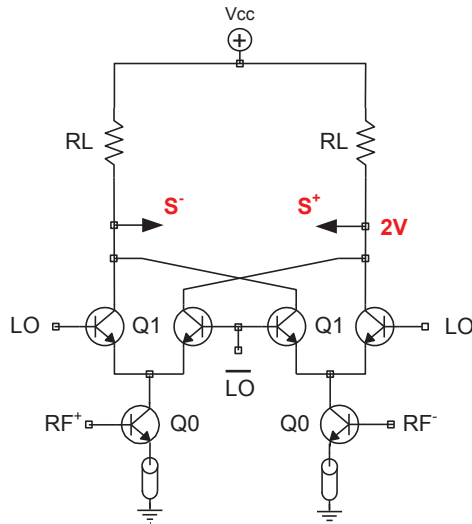


Figure 140 : Comparaison du paramètre du gain petit signal S21 du LNA avant et apres stress.

Les résultats obtenus suite aux stress RF sont en accord avec les résultats obtenus à partir des stress DC. Ce résultat essentiel nous permet de mettre en évidence le fait que la puissance RF ne provoque pas de dégradation supplémentaire au niveau circuit et que les stress peuvent être réalisés en DC.

#### 4.7 Etude du mélangeur 77 GHz

Le mélangeur possède une fonction de transfert non-linéaire qui permet la conversion d'une fréquence RF vers une fréquence dite intermédiaire (IF). Tout comme les LNA, il est conçu en technologie B9MW afin de répondre aux besoins de l'application radar automobile fonctionnant à 77 GHz. Ce mélangeur basé sur une structure de Gilbert est composé de 3 étages, un premier étage représentant la charge résistive, un second étage d'échantillonnage (transistors LO) commandé par l'oscillateur local (LO) et un dernier étage contenant le transconducteur différentiel (transistors RF) (cf. Figure 141). La représentation schématique du mélangeur ainsi que les simulations de ses performances sont présentées ci-dessous.



Voltage supplied V @ 8mA	3
Current supplied mA @ 3.3V	33.5
Current supplied mA @ 3.3V	14.1
S11 dB @ 77Ghz	-8.4
Gv dB	20
Output Noise LO Off (100 Hz)	103 nV/√Hz
Output Noise LO Off (1 kHz)	37 nV/√Hz
Output Noise LO Off (1 MHz)	22 nV/√Hz

Figure 141 : Représentation schématique du mélangeur et les résultats de simulations de ses caractéristiques.

Des simulations électriques à différentes polarisations permettent de faire varier et d'extraire les tensions et les courants vus par les HBT présents au sein du mélangeur. Pour ce circuit, il y a trois paramètres de polarisation (la tension  $V_{dd}$  et le courant  $I_{ref}$  polarisant le mélangeur, la tension  $V_{ddLO}$  d'alimentation du buffer d'OL) augmentant ainsi le nombre de transistors à étudier. Les stress sont définis afin de ne pas changer le courant de polarisation mais afin d'augmenter la tension  $V_{CE}$  des HBT du circuit au-delà de la tension  $BV_{CEO}$  (cf. Figure 142 et Figure 143). A nouveau, deux mélangeurs non stressés sont choisis comme référence.

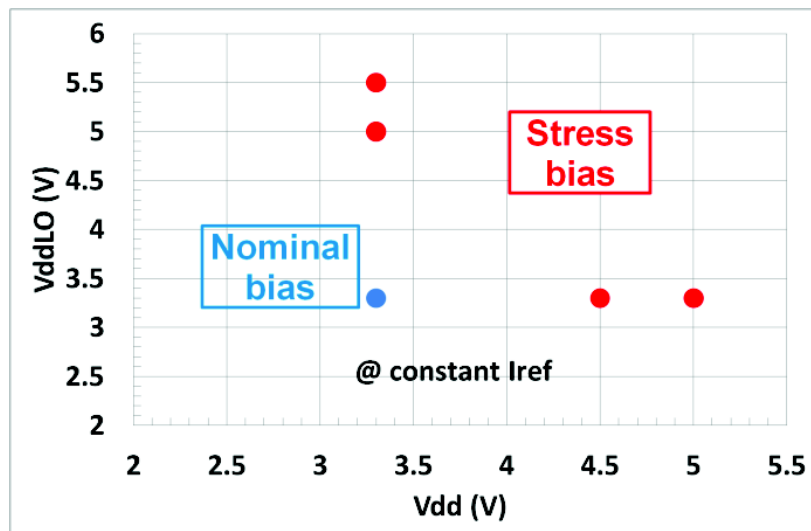


Figure 142 : Conditions de stress (rouge) définies grâce aux simulations en regard des conditions de polarisation nominales (bleu).

Mixer DC			RF Transistors		LO Transistors	
Vdd (V)	VddLO (V)	Iref (mA)	Ie (mA)	Vce (V)	Ie (mA)	Vce (V)
Nominal 3.3	Nominal 3.3	Nominal 8	3.55	0.89	7	1.2
5	3.3	8	3.6	2.5	7	1.2
4.5	3.3	8	3.6	2.1	7	1.2
3.3	5.5	8	4.3	0.05	8.6	2
3.3	5	8	4.1	0.07	8.2	1.8

Figure 143 : Récapitulatif des conditions de stress des mélangeurs et des conditions vues par les HBT du circuit.

Grâce à la reproduction des stress sur des HBT isolés, nous nous assurons que les stress définis produisent une dégradation significative. Un des stress étudiés est présenté ci-dessous, c'est la partie de G-R du courant base qui est dégradée suite au stress DC  $V_{CE}=2,5$  V et  $I_E=3,6$  mA. A nouveau, le courant à plus forts  $V_{BE}$ , où se situe le point de fonctionnement n'est pas dégradé (cf. Figure 144).

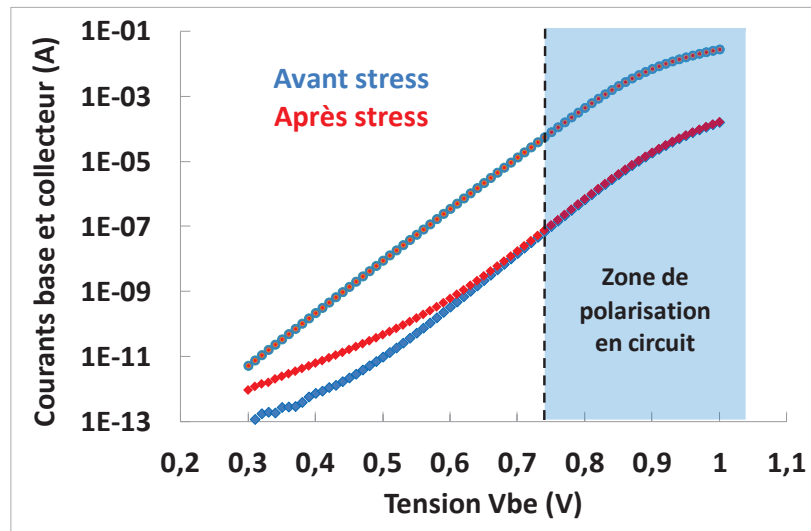


Figure 144 : Dégradation du courant base du HBT au sein du mélangeur.

Intéressons-nous à présent à l'évolution des performances du circuit. Pour cela, les paramètres  $S$ , le gain de conversion  $G_V$  ainsi que le bruit à la sortie IF sont étudiés. Concernant les paramètres  $S$ , nous obtenons des résultats similaires à ceux du LNA montrant que ces derniers ne sont pas impactés par la dégradation des HBT. Les mesures de gain de conversion des mélangeurs stressés et des mélangeurs de référence possèdent des caractéristiques semblables ce qui permet de conclure que le gain de conversion reste inchangé malgré la dégradation des HBT du mélangeur (cf. Figure 145).



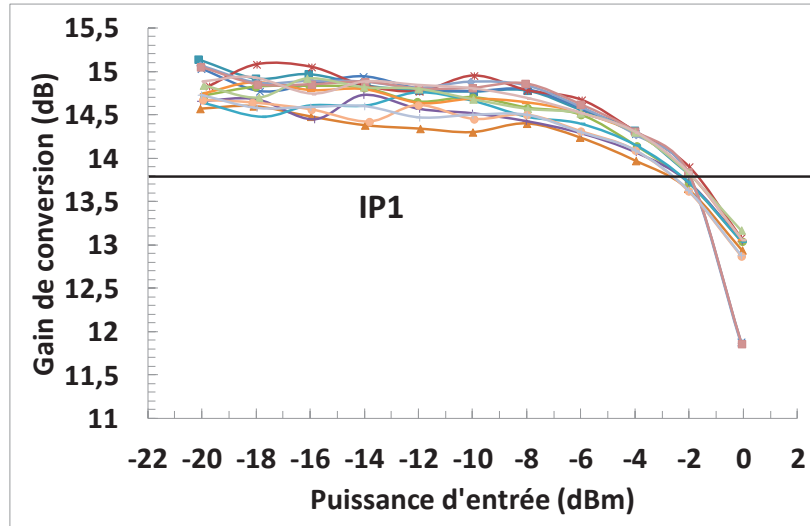


Figure 145 : Caractérisation du gain de conversion des mélangeurs stressés et non stressés. Chaque caractéristique correspond à un mélangeur étudié.

Les résultats de simulation des paramètres S et du gain en puissance obtenus précédemment pour le LNA sont à nouveau obtenus pour le mélangeur. En effet, les simulations des paramètres S et du gain de conversion montrent que les caractéristiques avant et après vieillissement se superposent.

Pour les mélangeurs, l'étude de la dégradation du bruit à la sortie de l'IF est importante. Pour cela, nous procédons au stress de quatre HBT isolés représentatifs des transistors de l'échantillonneur afin de connaître le niveau de dégradation de la composante de bruit en  $1/f$ . Les quatre HBT stressés subissent une dégradation du bruit basse fréquence, cependant, comme décrit dans le chapitre 1, cette dégradation n'est pas systématique. En effet, trois d'entre eux montrent une faible dégradation alors que le quatrième HBT présente une forte dégradation de l'ordre de deux décades à la fréquence de 1 kHz correspondante à l'IF (cf. Figure 146).

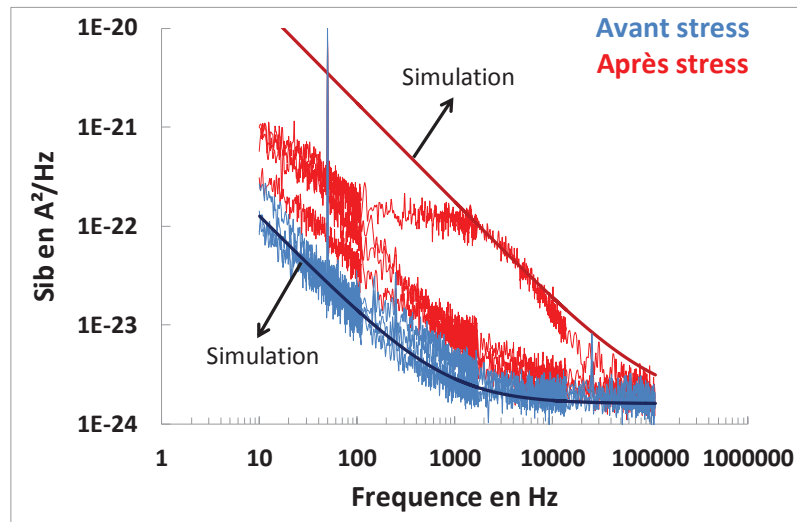


Figure 146 : Dégradation du bruit basse fréquence de quatre HBT subissant les stress vus au sein du mélangeur.

La caractéristique du bruit des mélangeurs sur la sortie IF est analysée afin d'étudier l'impact de la dégradation de l'augmentation du bruit des HBT. Les mesures avant (en bleu) et après stress (en rouge) du bruit du mélangeur sont représentées dans la gamme de fréquences allant de 10 Hz à 10 kHz pour quinze mélangeurs (cf. Figure 147). Les résultats obtenus montrent que la dégradation du bruit du mélangeur n'est pas systématique, en effet, deux mélangeurs parmi les quinze sont impactés. Ce résultat pouvait être attendu et est cohérent avec le phénomène observé sur les HBT isolés pour lesquels la dégradation du bruit n'est pas systématique. Concernant les deux mélangeurs impactés par la dégradation du bruit des HBT, le bruit d'un des mélangeurs impacté est dégradé d'environ 30 % passant d'une valeur de 30 nV/ $\sqrt{\text{Hz}}$  à 40 nV/ $\sqrt{\text{Hz}}$  pour une fréquence de 1 kHz.

Intéressons-nous à l'impact de la dégradation du bruit basse fréquence des HBT sur les performances de bruit en sortie de l'IF du point de vue des simulations. Nous réalisons des simulations du bruit à la sortie de l'IF du mélangeur avec des paramètres de bruit basse fréquence de tous les transistors du circuit « vieilli ». Ces simulations ont été obtenues pour un vieillissement des paramètres du bruit basse fréquence des HBT de 2 décades tel que nous l'avons extrait sur la courbe précédente.

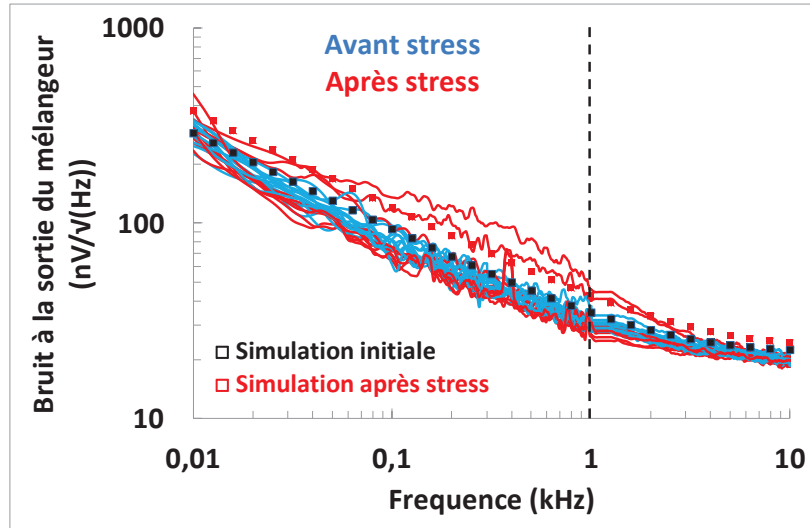


Figure 147 : Dégradation du bruit basse fréquence avant (bleu) et après (rouge) stress des mélangeurs stressés ainsi que les simulations initiales (points noirs) et de vieillissement (points rouges).

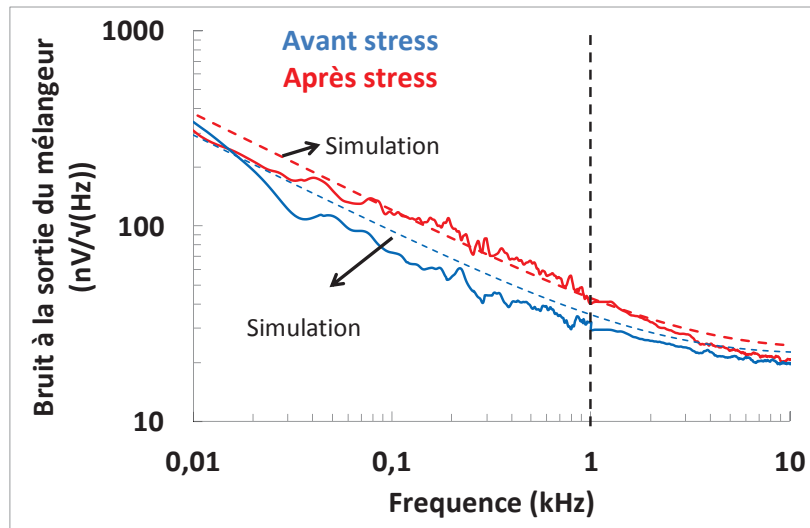


Figure 148 : Comparaison du bruit basse fréquence d'un mélangeur impacté par la dégradation ainsi que les simulations associées.

Ces simulations montrent que le bruit à la sortie de l'IF est impacté, en effet, les simulations avant et après vieillissement ne se superposent pas (cf. Figure 148). De plus, nous pouvons reproduire la dégradation du bruit à la sortie de l'IF d'un des mélangeurs impactés par les stress réalisés sur Silicium. Le second mélangeur impacté montre des niveaux de bruit qui sont couverts par la simulation « pire cas » menant à une dégradation du bruit basse fréquence de 4 décades.

Ces résultats montrent que, d'une part, malgré la dégradation du courant base, le gain de conversion ainsi que les paramètres S des mélangeurs ne sont pas impactés. D'autre part, la

dégradation de la caractéristique de bruit basse fréquence du HBT n'est pas systématique mais lorsqu'elle se produit, elle impacte le bruit du mélangeur sur la sortie IF.

#### 4.8 Etude du VCO 60 GHz

Le VCO étudié dans cette partie est un oscillateur harmonique en configuration Colpitts (cf. Figure 149). Comme les circuits précédents, il a été conçu en technologie B9MW afin de répondre aux besoins de l'application WHDMI dont la bande de fréquence se situe autour de 60 GHz. Ce VCO est composé d'un résonateur (inductance chargée par un réseau de capacités  $C_1$ ,  $C_2$  et  $C_{\Pi}$  équivalent à une capacité  $C_L$ ), de deux HBT montés en base commune  $Q_{1a}$  et  $Q_{1b}$  générant une résistance négative égale à  $\frac{2}{G_m}$  qui compense les pertes du résonateur et qui, de ce fait, entretient une oscillation à la fréquence :

$$f = \frac{1}{2\pi\sqrt{LC_L}} \quad (26)$$

La polarisation des transistors  $Q_1$  est assurée par deux sources de courant formées par les transistors  $Q_{2a}$  et  $Q_{2b}$ . Une chaîne de diviseurs est placée en sortie du VCO permettant la caractérisation à des fréquences inférieures à 10 GHz. Notons que le bruit de phase du VCO est fonction du facteur de qualité du résonateur chargé mais aussi du bruit basse fréquence des HBT modulé et translaté autour de la porteuse.

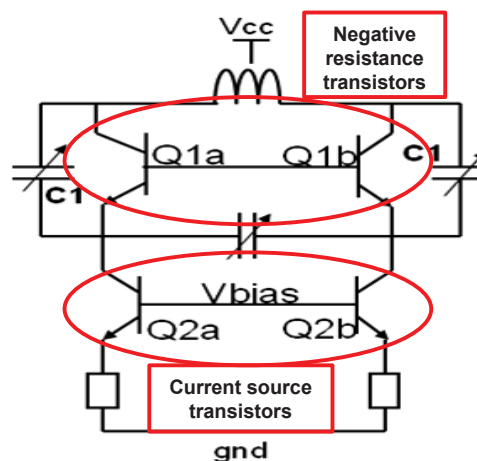


Figure 149 : Représentation schématique du VCO en configuration Colpitts.

Nous stressons les transistors  $Q_1$  et  $Q_2$  afin de mesurer l'impact du vieillissement de ces derniers sur les performances globales du VCO. De même que précédemment, des simulations électriques nous permettent de définir les stress appliqués aux HBT pendant le

fonctionnement du VCO. Puis, nous reproduisons ces conditions de stress sur des HBT isolés pour assurer une dégradation non négligeable des HBT lors du stress du circuit. Pour ce VCO, afin de vieillir les transistors, l'entrée en tension  $V_{CC}$  a été augmentée pour atteindre les tensions  $V_{CE}$  souhaitées au niveau des transistors (cf. Figure 150). Les tensions  $V_{CE}$  des HBT réalisant la source de courant peuvent être extraites, il en est de même pour le courant émetteur de chacun des HBT.

VCO DC	Negative resistance Transistors		Power supply Transistors	
$V_{CC}$ (V)	$I_e$ (mA)	$V_{ce}$ (V)	$I_e$ (mA)	$V_{ce}$ (V)
2.5	13	1.05	13	0.85
7	52	1.95	52	2.5
7.5	60	2.05	60	2.5
8	68	2.15	68	2.55

Figure 150 : Récapitulatif des conditions de stress des VCO et des conditions vues par les HBT dans le circuit.

Dans le cas du VCO, l'étude de la dégradation des caractéristiques DC et de bruit basse fréquence est importante. En effet, les caractéristiques DC peuvent impacter l'amplitude et la fréquence d'oscillation, et le bruit de phase du VCO est lié aux caractéristiques du bruit basse fréquence des HBT. Un exemple parmi les stress étudiés montre la dégradation de la partie de G-R du courant base alors que la région où se situe le point de fonctionnement en circuit reste inchangée (cf. Figure 151).

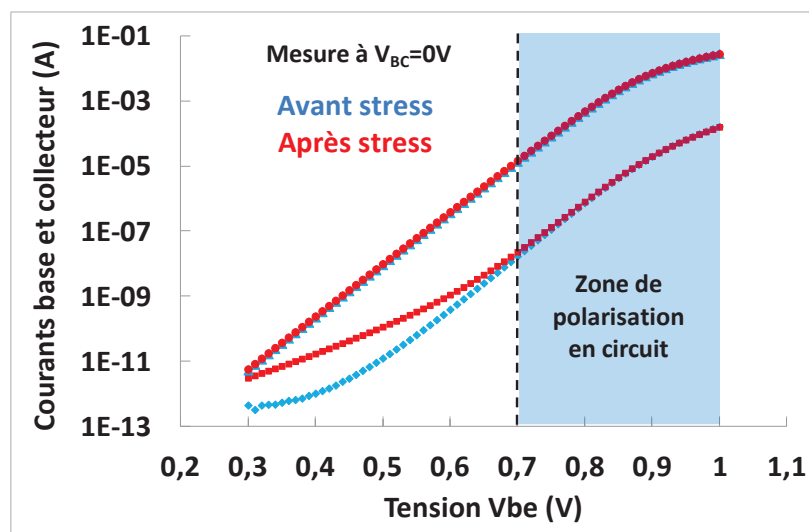


Figure 151 : Dégradation du courant base du HBT subissant les stress vus au sein du VCO.

Des mesures de fréquence d'oscillation sont réalisées afin de connaître l'impact des dégradations des caractéristiques statiques sur le circuit. Le matériel utilisé est précis à 2 MHz. Les résultats de mesure obtenus indiquent qu'il n'y a pas de dégradation significative (dégradation comprise dans l'erreur de mesure) pour des forts stress sur des durées de trois heures. Cependant, une dégradation limitée de l'ordre de 0,12 % se produit pour le stress le plus fort lorsque le temps de stress devient élevé (cf. Figure 152).

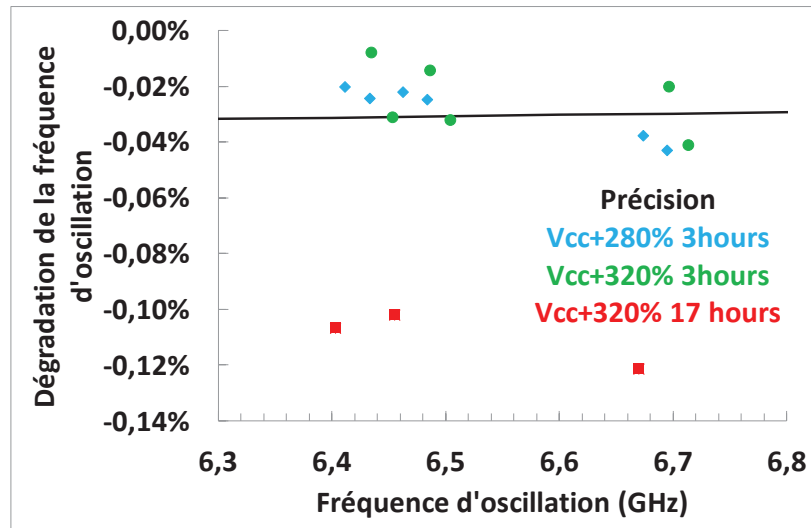


Figure 152 : Dégradation de la fréquence d'oscillation des VCO stressés.

Nous simulons le comportement du VCO avec des transistors « vieillis ». Concernant la fréquence d'oscillation du VCO, les simulations de vieillissement ne montrent pas de changement ou d'évolution de cette grandeur pour différentes valeurs de dégradation du courant base. Ce résultat permet de valider les résultats précédents.

Nous procédons aux mesures de bruit de phase afin de regarder l'impact de la dégradation du bruit basse fréquence des HBT sur le bruit de phase du VCO. Pour cela, nous utilisons de nouveaux VCO que nous caractérisons avant et après stress, cependant, seuls quatre VCO ont pu être caractérisés. Les résultats obtenus ne montrent pas d'évolution du bruit de phase du VCO comme nous pouvons le voir pour la condition de stress la plus agressive et la plus longue (cf. Figure 153). Ainsi, nous ne pouvons pas conclure directement sur l'impact de la dégradation du bruit basse fréquence des HBT sur le bruit de phase d'un VCO. De plus, il est nécessaire de tester un plus grand nombre de VCO afin de confirmer ces résultats étant donné le caractère de la dégradation du bruit des HBT.

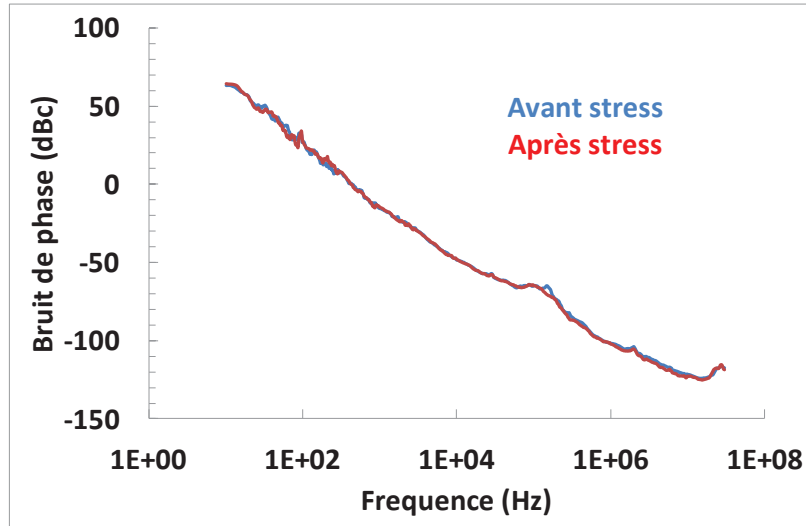


Figure 153: Comparaison du bruit de phase du VCO avant (bleu) et après (rouge) la pire condition de stress.

Les simulations du bruit de phase du VCO avec des transistors « vieillis » montrent cependant une augmentation non-négligeable (cf. Figure 154). En effet, nous réalisons des simulations du bruit de phase avec des paramètres de bruit basse fréquence des HBT augmentés de 4 décades. Ces simulations indiquent une augmentation du bruit de phase du VCO dans la partie à  $-30$  dB/décade qui correspond à l'accroissement du bruit en  $1/f$  des transistors. Ce résultat montre à nouveau le caractère critique du bruit basse fréquence des HBT pour la fiabilité des applications millimétriques.

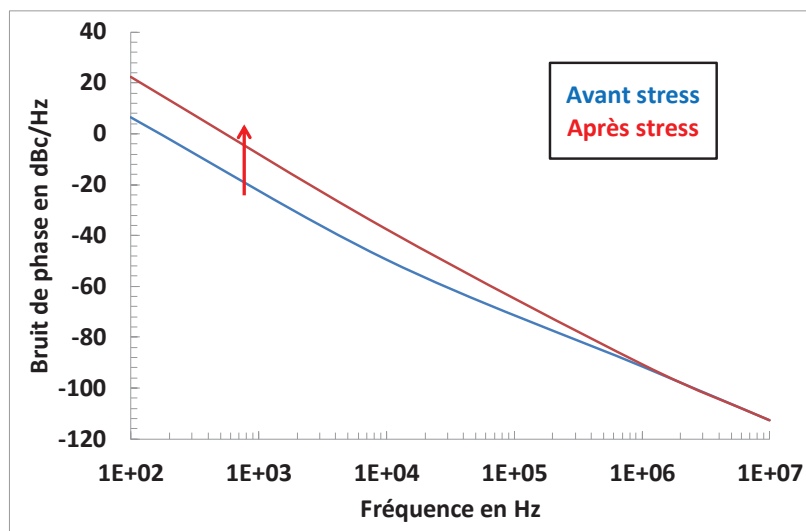


Figure 154 : Simulations du bruit de phase du VCO 60 GHz avant (bleu) et après vieillissement (rouge).

Les résultats obtenus dans cette étude nous indiquent que le VCO peut être exposé à des risques de non fiabilité. En effet, la dégradation des caractéristiques statiques des HBT induit

une dégradation négligeable de la fréquence d'oscillation. Cependant, les mesures du bruit de phase de quatre VCO après stress ne permettent pas de mettre en évidence une dégradation bien que les simulations de fiabilité indiquent une dégradation notable.

#### 4.9 Conclusion

Nous avons réalisé différentes campagnes de tests sur des circuits analogiques conçus en technologie bipolaire et fonctionnant dans la gamme de fréquences millimétriques. L'impact de la dégradation des caractéristiques statiques du transistor bipolaire est minimisé étant donné que, d'une part, la dégradation survient à des faibles polarisations en  $V_{BE}$ , et d'autre part, c'est le courant base dit de génération recombinaison qui se dégrade. Ceci est généralement traduit par une augmentation de la consommation électrique sans toutefois revoir à la baisse les performances du circuit. Ce résultat est conforté par le fait que les paramètres dynamiques du transistor bipolaire tels que la fréquence de transition ou encore la transconductance ne sont pas dégradés. Cependant, le bruit basse fréquence est dégradé de manière significative et impacte directement des caractéristiques telles que le bruit de phase ou encore le bruit de la fréquence intermédiaire des mélangeurs.

Ces différentes dégradations sont prises en compte à travers des simulations qui permettent de reproduire le comportement vieilli des transistors bipolaires. Ce travail donne la possibilité au concepteur de réaliser le compromis performances/fiabilité à travers des simulations.



## **Conclusion générale**

Ce travail de recherche s'inscrit dans le cadre d'une thèse concernant l'étude de la fiabilité des transistors MOS et bipolaires développés pour les applications aux longueurs d'ondes millimétriques. L'intérêt de ce travail concerne l'impact des dégradations de ces transistors au sein de circuits analogiques en proposant une solution automatisée à travers des simulations électriques. La fiabilité des transistors MOS et bipolaires a suscité l'intérêt de la communauté scientifique. Ainsi, les différents mécanismes de dégradation de ces transistors, l'injection de porteurs chauds ou encore l'ionisation par impact, ainsi que leurs effets sur les caractéristiques des composants sont bien connus et décrits à la fois par des mesures et des modèles. L'impact au niveau circuit reste, quand à lui, beaucoup moins étudié et les risques de non fiabilité sont donc à prévenir. C'est dans le but d'apporter une réponse à cette problématique que cette étude a été réalisée.

Afin de répondre à ce sujet, la fiabilité des composants actifs a tout d'abord été étudiée en les soumettant à des conditions de fonctionnement extrêmes par rapport aux conditions usuelles. En effet, différents niveaux de stress sont appliqués afin de vérifier les dégradations des composants actifs isolés. Suite à ces résultats, la problématique de la modélisation des dégradations observées a été traitée. Enfin, le modèle SOA proposé est testé à travers la confrontation des résultats de simulation et des mesures.

Une grande partie de ces travaux est dédiée aux expérimentations. Aussi bien pour le transistor bipolaire à hétérojonctions que pour le transistor MOS, des protocoles expérimentaux sont décrits et permettent, une fois appliqués, de fournir les résultats nécessaires pour réaliser des modèles de dégradation. En effet, différentes géométries de transistors, températures de caractérisation et conditions de stress sont indispensables pour différencier les mécanismes de dégradations et les quantifier quand cela est possible. Etant donné que le besoin d'études de fiabilité dans le domaine RF est croissant pour le secteur industriel, les caractérisations du modèle SOA pour les transistors bipolaires et les conditions de stress montrant les dégradations des caractéristiques dynamiques du transistor MOS que nous avons mis en œuvre sont utilisables pour d'autres technologies que celle que nous avons étudiée.

Concernant les transistors bipolaires à hétérojonctions, la dégradation des caractéristiques statiques est essentiellement liée à la dégradation de la composante de génération recombinaison du courant base. Cette dégradation intervient donc aux tensions  $V_{BE}$  faibles et le point de polarisation des applications RF est généralement fort afin d'atteindre les performances souhaitées. Il n'y a pas de dégradation des caractéristiques dynamiques telles que la fréquence de transition ou la transconductance. Etant donné que la dégradation du bruit basse fréquence est induite par une création de défauts de génération recombinaison et que ce phénomène de création de défauts est stochastique, il n'est pas possible de prédire la dégradation suivant une loi mathématique. Cependant, un pire cas a été défini à travers une série de tests qui décrivent une augmentation du bruit basse fréquence de 4 décades. Suite aux résultats obtenus, notre choix s'est orienté vers une modélisation de la fiabilité à travers un SOA décrivant des limites de polarisation du transistor bipolaire. Ces limites définissent des conditions de densité de courant base et collecteur pour lesquelles le transistor se dégrade suivant l'effet d'avalanche ou d'auto-échauffement respectivement. En plus du pire cas de dégradation du bruit basse fréquence, le vieillissement du composant pour la gamme des tensions appliquées dans les circuits est modélisé permettant ainsi aux concepteurs de connaître la dégradation de leurs circuits à long terme lorsqu'il souhaitent faire fonctionner le composant au delà des limites actuelles définies par les technologies.

Nous avons utilisé cette modélisation afin de réaliser des simulations de fiabilité sur des circuits que nous avons caractérisés avant et après vieillissement, à savoir, 2 amplificateurs faible bruit, un mélangeur et un oscillateur contrôlé en tension fonctionnant aux fréquences

millimétriques. Les résultats des simulations et des caractérisations sont en accord sur l'impact de la dégradation des caractéristiques statiques. En effet, les caractéristiques en gain et en paramètres  $S$  ne sont pas dégradées et pas impactées par la dégradation des caractéristiques statiques. La dégradation du bruit à la sortie du mélangeur a été observée aussi bien en simulation qu'en mesure. Cependant, nous n'avons pas obtenu de dégradation significative du bruit de phase de l'oscillateur contrôlé en tension à travers les mesures alors que les simulations indiquent une dégradation de ce dernier. Ceci étant expliqué par le phénomène stochastique de création de défauts de génération recombinaison.

L'étude menée sur les transistors MOS nous a permis de vérifier les dégradations des caractéristiques statiques. Ces résultats mettent en avant des dégradations localisées au sein du drain étant donné que nous pouvons obtenir des dégradations de caractéristiques telles le courant de drain ou la transconductance maximale sans toute-fois dégrader la tension de seuil. Les résultats issus de l'étude de la dégradation des caractéristiques dynamiques diffèrent totalement de ceux obtenus pour le transistor bipolaire. En effet, plusieurs caractéristiques dynamiques du transistor MOS comme la transconductance, la conductance de sortie ou encore la capacité grille drain se dégradent suite à l'injection de porteurs chauds. L'étude de la corrélation des dégradations des caractéristiques statiques et dynamiques montre que la dégradation de la capacité de la jonction grille drain est représentative d'un espace physique très localisé qui ne rend pas compte de l'état de dégradation global du transistor. Cela est dû au fait que certains stress d'injection de porteurs chauds induisent des dégradations des caractéristiques statiques sans dégrader cette capacité de jonction. L'effet de la dégradation de ces caractéristiques sur un circuit est aussi étudiée et montre que c'est la dégradation de la capacité grille drain qui induit les dérives en fréquence citées par ailleurs.

Les perspectives et les prolongements de ces travaux sont multiples et de natures différentes en fonction du type de transistor. L'objectif ultime est de fournir au concepteur des solutions intégrées aux outils de conception lui permettant, soit de valider une durée de vie du circuit, soit de fixer les limites maximales de fonctionnement.

Afin de compléter le modèle de vieillissement défini pour les transistors bipolaires à hétérojonctions, nous proposons de réaliser l'étude du vieillissement en température étant donné que les applications visées peuvent être soumises à des températures extrêmes (de  $-40^{\circ}\text{C}$  à  $150^{\circ}\text{C}$ ). Le développement et la modélisation de la fiabilité proposés sont actuellement

en cours de brevet étant donné qu'ils peuvent être appliqués à tout type de transistor, notamment, les nouveaux transistors issus de la technologie BiCMOS55.

Concernant le transistor MOS, les résultats obtenus nécessitent d'autres investigations afin de comprendre d'avantage la dégradation de la capacité grille drain pour toute la gamme de tension de grille  $V_G$ . De plus, différentes configurations du transistor MOS doivent être étudiées dans le but de dissocier la dégradation des différents contributeurs de la capacité grille drain. La conductance de sortie étant dégradée par la dérive de la résistance d'accès au drain, de nouvelles investigations sont nécessaires afin de connaître le « poids » de la dégradation de la résistance sur la dégradation de la conductance de sortie. L'implémentation de ces résultats nécessite d'asymétriser les modèles compacts du transistor MOS afin de pouvoir dégrader le côté drain sans dégrader le côté source. Enfin, le développement proposé pour étudier la fiabilité des caractéristiques dynamiques du transistor MOS est compatible avec différentes technologies et peut être inséré dans le développement déjà existant permettant d'étudier la fiabilité des caractéristiques statiques.

## **Annexe 1 : Le potentiel de surface et le modèle PSP**

Afin de continuer le travail de modélisation de la dégradation de la capacité grille drain, nous proposons l'utilisation du modèle PSP asymétrique. Pour cela, nous proposons au cours de cette partie une brève introduction au potentiel de surface.

Lorsque la tension  $V_{GB}$  est inférieure à la tension de bandes plates  $V_{FB}$ , le transistor est dit en régime d'accumulation (cf. Figure 155). La tension de bandes plates  $V_{FB}$  correspond à la tension pour laquelle le champ électrique dans le substrat s'annule. En augmentant la tension  $V_{GB}$  de sorte que  $V_{GB} > V_{FB}$  et  $V_{GB} < V_T$ , l'interface entre l'oxyde et le substrat entre en déplétion et laisse place à une charge d'interface négative, c'est le régime de déplétion. Lorsque  $V_{GB} > V_T$ , la densité d'électrons devient supérieure à la concentration de porteur majoritaire, c'est le régime d'inversion. Le semiconducteur change de type au voisinage de la surface formant le canal du transistor MOS. Deux modes d'inversion existent suivant la polarisation  $V_{GB}$  : le mode d'inversion faible lorsque  $V_{GB}$  est peu supérieur à  $V_T$ , la densité de porteurs minoritaires reste inférieure à la densité de dopants introduits (la charge d'espace dépend alors des accepteurs) et le mode d'inversion forte lorsque  $V_{GB}$  est très supérieur  $V_T$ , la densité de porteurs minoritaires est supérieure à la densité de dopants du substrat (la charge d'espace est alors constituée de porteurs minoritaires venant de la source et du drain).

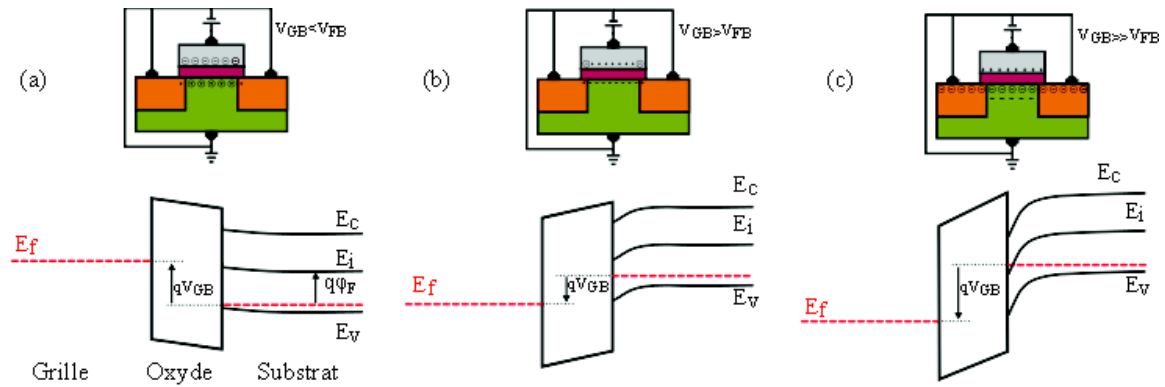


Figure 155 : Schéma de la distribution des charges et du diagramme de bandes suivant les régimes d'accumulation (a), de déplétion (b) et d'inversion (c).

Le modèle PSP (Philips Surface Potential) s'appuie exclusivement sur le comportement du potentiel de surface et, il est largement utilisé de nos jours dans l'industrie de la microélectronique. Ainsi, le potentiel de surface  $\phi_S$  est défini comme la courbure des bandes de valence et de conduction entre volume et surface. Le potentiel de surface permet de décrire les régimes présentés ci-dessus en fonction de sa valeur. Pour un nMOS, le régime d'accumulation survient pour  $\phi_S < 0$ , le potentiel de surface est négatif et une accumulation des porteurs majoritaires du substrat (trous) survient. Le régime de bandes plates (non-décrit ci-dessus) est obtenu pour  $\phi_S = 0$ , la structure est électriquement neutre en tout point et aucune charge n'est accumulée aux deux interfaces, il n'y a pas de porteurs minoritaires dans le canal. Le régime de déplétion est atteint pour  $\phi_S > 0$ , la concentration de porteurs majoritaires à l'interface Si/SiO<sub>2</sub> diminue mais elle reste supérieure à celle des porteurs minoritaires. Les régimes d'inversion faible et d'inversion forte sont établis pour des potentiels de surface plus élevés menant à une augmentation de la concentration des porteurs minoritaires à l'interface Si/SiO<sub>2</sub> de sorte que cette dernière devienne supérieure à celle des majoritaires. En surface, le type du semiconducteur est inversé et le canal de conduction est formé. Lorsque le potentiel de surface continue d'augmenter, la création complète du canal de conduction se fait alors que le dopage surfacique devient équivalent et de signe opposé au dopage du substrat. La charge du substrat est désormais conditionnée par les porteurs minoritaires. Cette charge est nommée charge d'inversion et est notée  $Q_{inv}$ .

## Annexe 2 : La tentative d'extraction des résistances

### d'accès

Nous avons pu voir la méthode d'extraction des capacités, cependant, les résistances série peuvent aussi être extraites suivant la méthode « Lovelace » (cf. Figure 156) consistant à appliquer une polarisation nulle afin de simplifier le schéma équivalent petit signal et s'affranchir des conductances de sortie et de la transconductance.

### Méthode "Lovelace"

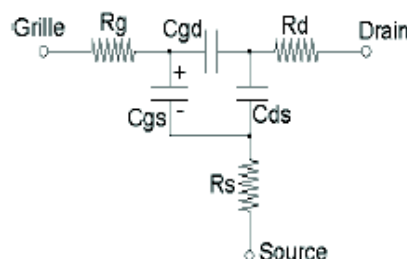


Figure 156 : Schéma petit signal utilisé pour la méthode Lovelace.

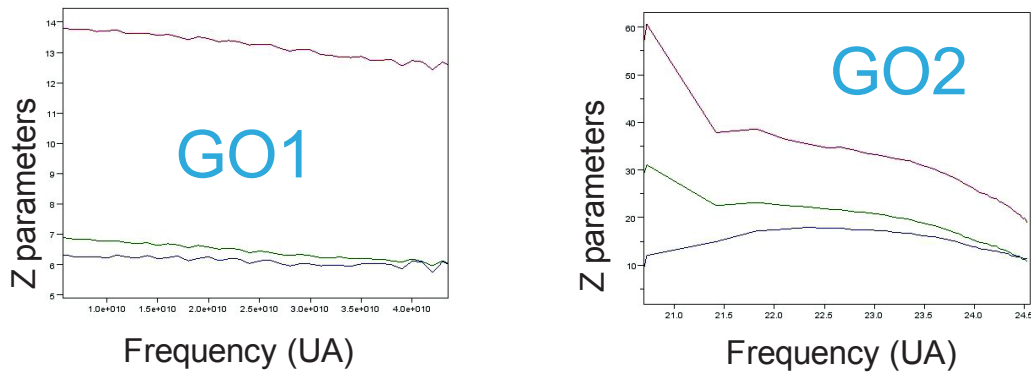
Les équations résultantes sont :

$$R_S = \text{Réelle}(Z_{12}). \quad (27)$$

$$R_G + R_S = \text{Réelle}(Z_{11}). \quad (28)$$

$$R_D + R_S = \text{Réelle}(Z_{22}). \quad (29)$$

Ainsi, lors de l'analyse en fréquence des paramètres  $Z$  utilisés dans le cadre de l'extraction des résistances, nous pouvons remarquer que les parties réelles des paramètres  $Z$  ne possèdent pas seulement la partie résistive mais aussi capacitive étant donné que ces paramètres dépendent de la fréquence (cf. Figure 157).



**Figure 157 : Partie réelle des paramètres  $Z$  des transistors MOS en fonction de la fréquence.**

Des simulations de fiabilité consistant à augmenter la valeur de la résistance d'accès au drain ont été réalisées. L'impact de cette dégradation n'est pas visible sur les paramètres  $S$  simulés d'un amplificateur de puissance décrit en Annexe 3.



## Annexe 3 : Les expérimentations et simulations de circuits millimétriques conçus en technologie CMOS

C'est un amplificateur de puissance à 1 étage fonctionnant à 60 GHz que nous avons testé afin de visualiser l'effet de la dégradation des capacités de jonction (cf. Figure 158). Cet amplificateur est réalisé en technologie CMOS 40nm.



Figure 158 : Image de l'amplificateur lors des caractérisations.

Les paramètres S ont été étudiés et montrent une dégradation au cours du temps (cf. Figure 159), cependant, l'effet de la dégradation en fréquence n'a pas pu être observé étant donné que cette caractéristique ne permet pas d'établir si la dégradation du gain petit signal

est due à une baisse de la transconductance ou bien une dérive en fréquence ou les deux à la fois.

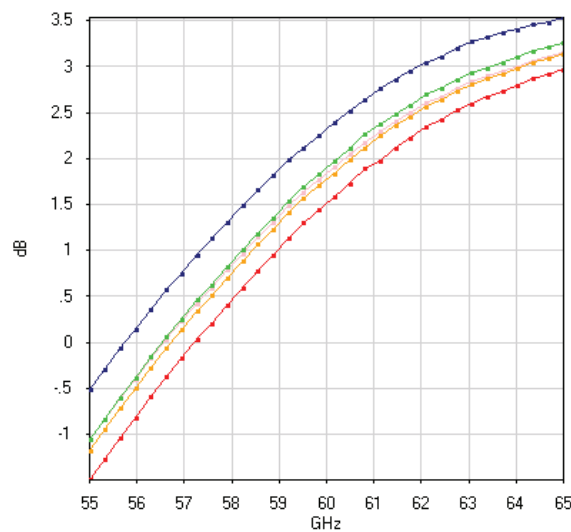


Figure 159 : Evolution du paramètre S21 pour différents temps de stress.

Outre les paramètres S, nous réalisons une étude de la dégradation du gain en puissance ainsi que du point de compression à l'ordre 1. Ce sont les mêmes amplificateurs de puissance que nous avons utilisé pour les deux types de caractérisation et les résultats obtenus concordent. En effet, nous avons une baisse du gain en puissance suivant les différents niveaux de stress (cf. Figure 160).

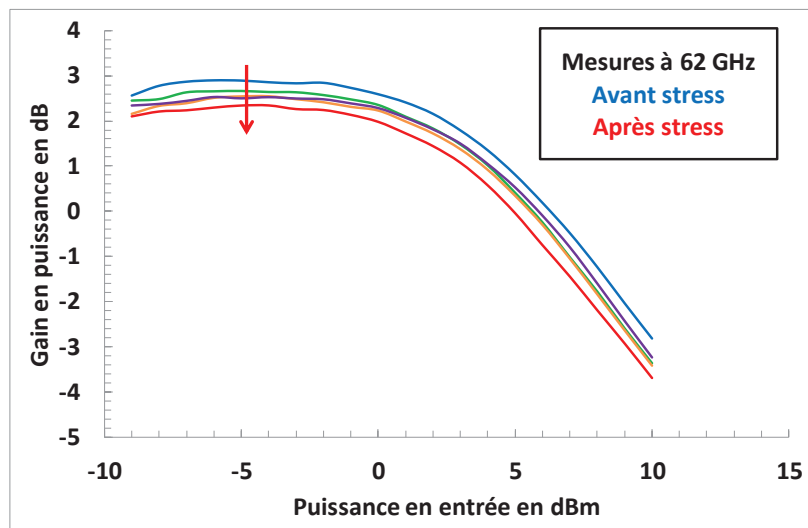


Figure 160 : Dégradation du gain en puissance de l'amplificateur de puissance suite à un stress par porteurs chauds.

Enfin, afin de valider et de connaître l'impact de la dégradation de la capacité sur les performances du circuit, nous réalisons des simulations de vieillissement en intégrant une

capacité vue entre la grille et le drain du transistor actif de l'amplificateur en puissance conçu en technologie CMOS065 présent dans la référence [23]. Les résultats confortent et justifient nos travaux, en effet, la dégradation de la capacité grille drain induit une dégradation de la fréquence du pic de gain (cf. Figure 161 et Figure 162).

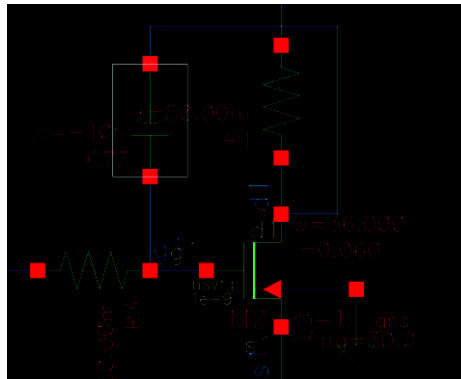


Figure 161 : Schéma représentatif du transistor MOS au sein de l'amplificateur de puissance auquel nous y ajoutons une capacité entre la grille et le drain.

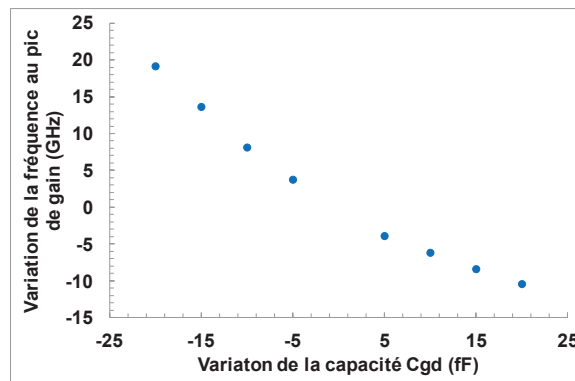


Figure 162 : Dégradation de la fréquence du pic de gain en fonction de la dégradation de la capacité grille drain.



## Annexe 4 : Le de-embedding

Les différentes mesures de paramètres S réalisées ont nécessité la réalisation du de-embedding qui permet de s'affranchir des éléments résistifs et capacitifs des plots et des interconnexions jusqu'aux prises de contacts. Ceci permet de ramener les plans de mesure aux prises de contact au niveau des grilles, sources et drains des transistors MOS ainsi que les collecteurs, bases et émetteurs des transistors bipolaires à hétérojonctions. Cette procédure est indispensable pour extraire les capacités et résistances parasites intrinsèques aux transistors. Structures de de-embedding sont définies industriellement, cependant, les résultats obtenus grâce à une méthode de de-embedding quatre ports sont les mêmes que les résultats obtenus lors d'un de-embedding deux ports. Ainsi, nous réaliserons un de-embedding deux ports pour nos résultats.

A partir des mesures réalisées sur les transistors ainsi que les structures de de-embedding, nous réalisons des opérations de conversion de matrices de paramètres S en paramètres Z ou Y suivant les lois de conversion (cf. Figure 163). Ces opérations de conversion nous permettent, dans une première étape, de soustraire la matrice Y de la structure de de-embedding OPEN à la matrice Y de notre transistor. La seconde opération consiste à soustraire la matrice Y de la structure OPEN à la matrice Y de la structure SHORT. Enfin, nous obtenons la matrice Y corrigée de notre transistor grâce à la soustraction de la

matrice obtenue lors de la seconde opération à la matrice obtenue lors de la première opération.

$$\begin{aligned}
 z_{11} &= \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & y_{11} &= \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\
 z_{12} &= \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & y_{12} &= \frac{-2S_{12}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\
 z_{21} &= \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & y_{21} &= \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\
 z_{22} &= \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & y_{22} &= \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\
 S_{11} &= \frac{(z_{11}-1)(z_{22}+1)-z_{12}z_{21}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}} & S_{11} &= \frac{(1-y_{11})(1+y_{22})+y_{12}y_{21}}{(1+y_{11})(1+y_{22})-y_{12}y_{21}} \\
 S_{12} &= \frac{2z_{12}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}} & S_{12} &= \frac{-2y_{12}}{(1+y_{11})(1+y_{22})-y_{12}y_{21}} \\
 S_{21} &= \frac{2z_{21}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}} & S_{21} &= \frac{-2y_{21}}{(1+y_{11})(1+y_{22})-y_{12}y_{21}} \\
 S_{22} &= \frac{(z_{11}+1)(z_{22}-1)-z_{12}z_{21}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}} & S_{22} &= \frac{(1+y_{11})(1-y_{22})+y_{12}y_{21}}{(1+y_{11})(1+y_{22})-y_{12}y_{21}}
 \end{aligned}$$

$$\left[ \begin{array}{l} Y_{11} = \frac{Z_{22}}{Z_{11}Z_{22}-Z_{12}Z_{21}} \\ Y_{21} = \frac{-Z_{21}}{Z_{11}Z_{22}-Z_{12}Z_{21}} \end{array} \right] \quad \left[ \begin{array}{l} Y_{12} = \frac{-Z_{12}}{Z_{11}Z_{22}-Z_{12}Z_{21}} \\ Y_{22} = \frac{Z_{11}}{Z_{11}Z_{22}-Z_{12}Z_{21}} \end{array} \right]$$

$$\left[ \begin{array}{l} Z_{11} = \frac{Y_{22}}{Y_{11}Y_{22}-Y_{12}Y_{21}} \\ Z_{21} = \frac{-Y_{21}}{Y_{11}Y_{22}-Y_{12}Y_{21}} \end{array} \right] \quad \left[ \begin{array}{l} Z_{12} = \frac{-Y_{12}}{Y_{11}Y_{22}-Y_{12}Y_{21}} \\ Z_{22} = \frac{Y_{11}}{Y_{11}Y_{22}-Y_{12}Y_{21}} \end{array} \right]$$

Figure 163 : Equations de conversion de matrices de paramètres S, Y et Z



## REFERENCES BIBLIOGRAPHIQUES

- [1] M. Ruat, "Etude des mécanismes de vieillissement sous contrainte électrique des transistors bipolaires à hétérojonction Si/SiGeC issus de technologies BiCMOS avancées." Thèse de l'université de Grenoble, 2006.
- [2] R. A. Wachnick and T. Bucelot, "Degradation of bipolar transistors under high current stress at 300K." *J. Appl. Phys.*, 63 (9), pp. 4734–4740, 1988.
- [3] J. Kuchenbecker, M. Borgarino, L. Bary, G. Cibiel, O. Llopis, J. G. Tartarin, J. Graffeuil, S. K. J. L. Roux, R. Plana, C. Roche, T. Cx, R. Emilia, and V. Vignolese, "Reliability Investigation in SiGe HBT's," vol. 1, no. 1, 2001.
- [4] J. Zhao, G. P. Li, K. Y. Liao, M. Chin, J. Y. Sun, S. Member, and A. La Duca, "Resolving the Mechanisms of Current Gain Poly Emitter n-p-n Transistors," vol. 14, no. 5, pp. 252–255, 1993.
- [5] Z. & Cressler, "A New 'Mixed-Mode' Base Current Degradation Mechanism," *IEEE BCTM* 1.4, pp. 32–35, 2002.
- [6] C. M. Grens, J. D. Cressler, and A. J. Joseph, "Large-Signal Performance, Linearity, and Reliability Characteristics of Aggressively-Biased Cascode SiGe HBTs for Power Amplifier Applications," *2007 IEEE Bipolar/BiCMOS Circuits Technol. Meet.*, vol. 1, pp. 135–138, Sep. 2007.
- [7] M. Diop, N. Revill, M. Marin, F. Monsieur, T. Schwartzmann, G. Ghibaudo, J. Monnet, C. Cedex, P. Neel, and G. Cedex, "Coupled Approach for Reliability Study of Fully Self Aligned SiGe : C 250GHz HBTs LiE-05," *IIRIW FINAL REPORT*, pp. 77–80, 2008.
- [8] M. Diop, "Fiabilité et bruit basse fréquence de transistors bipolaires à hétérojonction SiGe:C 250 GHz dédiés aux applications ondes millimétriques." Thèse de l'université de Grenoble, 2009.
- [9] F. Cacho, S. Ighilahriz, M. Diop, D. Roy, V. Huard, and J. Monnet, "Insights about Reliability of Heterojunction Bipolar Transistor under DC stress," *IIRW Final Rep.*, pp. 139–141, 2010.
- [10] C. Maneux, N. Labat, N. Malbert, and A. Touboul, "Low frequency noise as a reliability diagnostic tool in compound semiconductor transistors," *Microelectron. Reliab.*, vol. 44, pp. 1361–1368, 2004.
- [11] C. Maneux, N. Labat, N. Malbert, a. Touboul, Y. Danto, J.-M. Dumas, M. Riet, and J. L. Benchimol, "Experimental procedure for the evaluation of GaAs-based HBT's reliability," *Microelectronics J.*, vol. 32, no. 4, pp. 357–371, Apr. 2001.
- [12] J. Raoult, L. Militaru, J. Verdier, and a Souifi, "Time domain and frequency analysis of RTS noise in deep submicron SiGe HBTs," *Nucl. Instruments Methods Phys. Res. Sect. B Beam Interact. with Mater. Atoms*, vol. 186, no. 1–4, pp. 435–440, Jan. 2002.



- 
- [13] C. Guérin, "Etude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique." Thèse de l'université de Grenoble, 2008.
  - [14] L. Negre, D. Roy, S. Boret, P. Scheer, N. Kauffmann, D. Gloria, and G. Ghibaudo, "Hot carrier impact on the small signal equivalent circuit," *IIRW Final Rep.*, no. 2, pp. 72–75, 2010.
  - [15] L. Negre, "Caracterisation et modelisation de la fiabilite des transistors mos en radio frequence." Thèse de l'université de Grenoble, 2011.
  - [16] J. Park, B. Lee, D. Kim, and C. Yu, "RF performance degradation in nMOS transistors due to hot carrier effects," *IEEE Trans. Electron Devices*, vol. 47, no. 5, pp. 1068–1072, May 2000.
  - [17] L. Pantisano, D. Schreurs, B. Kaczer, W. Jeamsaksiri, R. Venegas, K. P. Cheung, and G. Groeseneken, "RF Performance Vulnerability to Hot Carrier Stress and Consequent Breakdown in Low Power 90nm RF CMOS," *IEDM*, no. 4, pp. 181–184, 2003.
  - [18] E. Xiao, J. S. Yuan, S. Member, and H. Yang, "CMOS RF and DC Reliability Subject to Hot Carrier Stress and Oxide Soft Breakdown," *IEEE Trans. DEVICE Mater. Reliab.*, vol. 4, no. 1, pp. 92–98, 2004.
  - [19] C. Yu and J. S. Yuan, "MOS RF Reliability Subject to Dynamic Voltage Stress — Modeling and Analysis," *IEEE Trans. Electron Devices*, vol. 52, no. 8, pp. 1751–1758, 2005.
  - [20] H. C. Sagong, K. Taek, C. Y. Kang, G. Choi, H. Choi, and R. Baek, "RF Performance Degradation in 100-nm Metal Gate / High-k Dielectric nMOSFET by Hot Carrier Effects," *Solid State Device Res. Conf. ESSDERC '09. Proc. Eur.*, no. 1, pp. 6–9, 2009.
  - [21] C. Liu, R. Wang, Y. Su, C. Tu, and Y. Juang, "DC and RF Degradation Induced by High RF Power Stresses in 0.18- $\mu$ m nMOSFETs," *IEEE Trans. DEVICE Mater. Reliab.*, vol. 10, no. 3, pp. 317–323, 2010.
  - [22] T. DI Gilio, "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13  $\mu$ m - 2nm." Thèse de l'université de Marseille, 2006.
  - [23] M. M. Kuo, K. Seki, P. M. Lee, J. Y. Choi, P. K. Ko, and C. Hu, "Simulation of MOSFET Lifetime under AC Hot-Electron Stress," *IEEE Trans. Electron Devices*, vol. 35, no. 7, pp. 1004–1011, 1988.
  - [24] K. Mistry, "A Model for AC Hot-Carrier Degradation in n-Channel MOSFET's," *IEEE ELECTRON DEVICE Lett.*, vol. 12, no. 9, pp. 492–494, 1991.
  - [25] T. Quemerais, "Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées." Thèse de l'université de Grenoble, 2010.
  - [26] G. G. Fischer, D. Micusik, A. Poncej, I. Technologiepark, and D.-F. Oder, "Long-Term Reliability of High-Performance SiGe : C Heterojunction Bipolar Transistors," *IEEE*, pp. 3–6, 2012.
  - [27] Rickelt and Rein, "An accurate transistor model for simulating avalanche breakdown effects in Si bipolar circuits," *BCTM*, no. 1, pp. 1–4, 2001.
  - [28] M. Rickelt and H. Rein, "A Novel Transistor Model for Simulating Avalanche-Breakdown Effects in," *IEEE J. Solid-State Circuits*, vol. 37, no. 9, pp. 1184–1197, 2002.
  - [29] M. Pfost, P. Brenner, and R. Lachner, "Investigation of Advanced SiGe Heterojunction Bipolar Transistors at High Power Densities," *IEEE BCTM*, pp. 100–103, 2004.
  - [30] J. Kraft, D. Kraft, B. Löffler, H. Jauk, E. Wachmann, S. Premstatten, and A. - Unterpremstatten, "Usage of HBTs beyond BVCEO," *BCTM*, pp. 33–36, 2005.
  - [31] T. Vanhoucke and G. a. M. Hurkx, "Uniflied electro-thermal stability criterion for bipolar transistors," *Proc. Bipolar/BiCMOS Circuits Technol. Meet. 2005.*, no. 1, pp. 37–40, 2005.
-

- [32] J. Kim, A. Sadovnikov, T. Chen, and J. Babcock, "Safe Operating Area from Self-Heating, Impact Ionization, and Hot Carrier Reliability for a SiGe HBT on SOI," *2007 IEEE Bipolar/BiCMOS Circuits Technol. Meet.*, pp. 230–233, Sep. 2007.
- [33] L. La Spina, S. Member, V. Alessandro, S. Russo, N. Rinaldi, and L. K. Nanver, "Influence of Concurrent Electrothermal and Avalanche Effects on the Safe Operating Area of Multifinger Bipolar Transistors," pp. 1–9, 2009.
- [34] P. Cheng, S. Seth, J. D. Cressler, G. Cestra, T. Krakowski, J. A. Babcock, and A. Buchholz, "An Investigation of DC and RF Safe Operating Area of n-p-n + p-n-p SiGe HBTs on SOI," vol. 58, no. 8, pp. 2573–2581, 2011.
- [35] J. Kim, A. Sadovnikov, P. Menz, and J. Babcock, "Considerations for forward active mode reliability in an advanced hetero-junction bipolar transistor," *2012 IEEE Bipolar/BiCMOS Circuits Technol. Meet.*, no. 1, pp. 1–4, Sep. 2012.
- [36] X. Liu, J. S. Yuan, and J. J. Liou, "InGaP/GaAs heterojunction bipolar transistor and RF power amplifier reliability," *Microelectron. Reliab.*, vol. 48, no. 8–9, pp. 1212–1215, Aug. 2008.
- [37] X. Liu, J.-S. Yuan, and J. J. Liou, "Study of Electrothermal Stress Effect on RF Performance of InGaP/GaAs Heterojunction Bipolar Transistor-Based Low-Noise Amplifier," *2008 IEEE Compd. Semicond. Integr. Circuits Symp.*, pp. 1–4, Oct. 2008.
- [38] P. Cheng, C. M. Grens, A. Appaswamy, P. S. Chakraborty, and J. D. Cressler, "Modeling mixed mode DC and RF stress in SiGe HBT Power Amplifiers," pp. 133–136, 2008.
- [39] G. G. Fischer, S. Glišić, and D.-F. Oder, "Temperature Stability and Reliability Aspects of 77 GHz Voltage Controlled Oscillators in a SiGe:C BiCMOS Technology," pp. 171–174, 2008.
- [40] A. Bravaix, C. Guerin, D. Goguenheim, V. Huard, D. Roy, C. Besset, S. Renard, Y. M. Randriamihaja, and E. Vincent, "Off state incorporation into the 3 energy mode device lifetime modeling for advanced 40nm CMOS node," *IEEE International Reliability Physics Symposium*, pp. 55–64, 2010.
- [41] A. Bravaix, "Hot-Carrier Degradation in advanced CMOS nodes : From the NBTI shadow back to the front scene," in *IEEE International Reliability Physics Symposium Tutorial Note*, Avr. 2011.